



日 本 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 5月15日

出 願 番 号

Application Number:

特願2001-145517

[ST.10/C]:

[JP2001-145517]

出 願 人

applicant(s):

シャープ株式会社

RECEIVED

FEB 21 2002

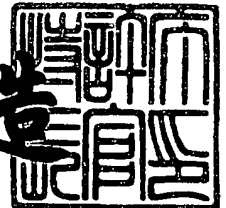
Technology Center 2600

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 01J00670

【提出日】 平成13年 5月15日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/20 641
G09G 3/30

【発明の名称】 表示装置

【請求項の数】 9

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 沼尾 孝次

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、

前記記憶素子およびそれに対を成す前記アクティブ素子を複数組設けて、それら複数の記憶素子の和出力で前記電気光学素子を表示駆動し、

前記アクティブ素子を選択走査する走査手段は、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動することを特徴とする表示装置。

【請求項 2】

前記記憶素子ならびにアクティブ素子は 2 組以上として、第 1 および第 2 の記憶素子ならびに第 1 および第 2 のアクティブ素子とし、

前記第 1 のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段と、

前記電位保持手段と前記第 1 の記憶素子との間に設けられる第 3 のアクティブ素子とをさらに備え、

前記第 1 および第 3 のアクティブ素子を選択走査することで、前記第 1 の記憶素子および電位保持手段への表示データの書込み／読出しを制御することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第 4 のアクティブ素子をさらに備えることを特徴とする請求項 2 記載の表示装置。

【請求項 4】

前記記憶素子ならびにアクティブ素子は 2 組以上として、下位ビット側となる第 1 番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第 2 番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力は、前記第 1 番目の記憶素子の出力による電流駆動能力の 2 の乗数倍に順次設定されること



を特徴とする請求項 1 記載の表示装置。

【請求項 5】

前記記憶素子ならびにアクティブ素子は 2 組として、それぞれ第 1 および第 2 の記憶素子ならびに第 1 および第 2 のアクティブ素子とし、

前記第 1 および第 2 のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第 1 および第 2 の電位保持手段と、

前記各電位保持手段と前記第 1 および第 2 の記憶素子との間にそれぞれ設けられる第 3 のアクティブ素子とをさらに備え、

前記第 1 および第 2 のアクティブ素子と、それらに個別に対応した第 3 のアクティブ素子とを選択走査することで、前記第 1 および第 2 の記憶素子ならびに第 1 および第 2 の電位保持手段への表示データの書込み／読出しを制御し、かつその制御を第 1 のアクティブ素子側と第 2 のアクティブ素子側とで、周期的に切換えることを特徴とする請求項 1 記載の表示装置。

【請求項 6】

前記記憶素子ならびにアクティブ素子は 2 組以上として、そのうち 2 組を第 1 および第 2 の記憶素子ならびに第 1 および第 2 のアクティブ素子とし、

前記第 1 および第 2 のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第 1 および第 2 の電位保持手段と、

前記各電位保持手段と前記第 1 および第 2 の記憶素子との間にそれぞれ設けられる第 3 のアクティブ素子とをさらに備え、

前記第 1 および第 2 のアクティブ素子と、それらに個別に対応した第 3 のアクティブ素子とを選択走査することで、前記第 1 および第 2 の記憶素子ならびに第 1 および第 2 の電位保持手段への表示データの書込み／読出しを制御し、かつ下位ビットの表示データの与えられるアクティブ素子側でも、最上位ビットの表示データの書込みを行うことを特徴とする請求項 1 記載の表示装置。

【請求項 7】

マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、

任意の i ライン目の電気光学素子に対して、隣接する $i + 1$ ライン目と $i - 1$ ライン目との電気光学素子をフィールド周期で切換えて対を成し、それら一对の電気光学素子は、同一の表示データの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切換え表示することを特徴とする表示装置。

【請求項 8】

マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって表示データを取込み、その取込んだデータで前記電気光学素子を表示駆動するようにした表示装置において、

前記表示データを格納する電位保持手段およびこの電位保持手段へ前記表示データを取込む第 1 のアクティブ素子と、

前記表示データを格納する記憶素子およびこの記憶素子へ前記表示データを取込む第 2 のアクティブ素子とを備え、

前記各アクティブ素子を選択走査する走査手段は前記第 1 のアクティブ素子を時間分割階調制御し、前記電位保持手段および記憶素子の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【請求項 9】

マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって表示データを取込み、その取込んだデータで前記電気光学素子を表示駆動するようにした表示装置において、

前記表示データを格納する第 1 および第 2 の電位保持手段およびこれら第 1 および第 2 の電位保持手段へ前記表示データをそれぞれ取込む第 1 および第 2 のアクティブ素子を備え、

前記各アクティブ素子を選択走査する走査手段は少なくとも一方のアクティブ素子を時間分割階調制御し、前記第 1 および第 2 の電位保持手段の和出力で前記電気光学素子を表示駆動することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 EL (Electro Luminescence) 素子や FED (Field Emission

Device) 素子等の電気光学素子をマトリックス状に配置して構成される表示装置に関し、特にその時間分割階調表示の手法に関する。

【0002】

【従来の技術】

近年、前記有機EL素子やFED素子等の自発光デバイスを用いた薄型表示装置の開発が活発に行われている。これら自発光デバイスでは、デバイスの発光輝度がデバイスを流れる電流密度に比例することが知られている。したがって、これら自発光デバイスとTFT等のアクティブ素子とを組合わせて電気光学素子を作成する場合、TFTのオン抵抗バラツキが自発光デバイスを流れる電流値のバラツキとなり、輝度バラツキが発生することがある。

【0003】

そこで、前記TFTのオン抵抗バラツキを抑えるアナログ階調駆動回路の開発や、オン抵抗のバラツキの少ない条件を使用するデジタル階調駆動方法の開発が盛んに行われている。このうち、デジタル階調駆動方法としては、時間分割階調表示方法、画素分割階調表示方法および複数TFTを利用する方法などがある。

【0004】

図20は、前記複数TFTを用いてデジタル階調表示を実現する素子回路の電気回路図であり、特開2000-347623号公報に記載された構成である。表示パネル上にマトリックス状に配列される素子回路101は、有機EL素子102と、その駆動回路103とで構成されている。有機EL素子102は、駆動回路103において、相互に並列に配列される3つの駆動トランジスタq1～q3と、各駆動トランジスタq1～q3にそれぞれ直列接続されて該有機EL素子102の電流値を規制する抵抗r1～r3とを介して供給される電流で発光する。各駆動トランジスタq1～q3は、そのゲート端子に接続されるコンデンサc1～c3に貯えられた電位でそれぞれ制御される。前記各コンデンサc1～c3の電位は、走査信号線g1～g3の選択出力に応答して、選択トランジスタq4～q6がデータ信号線d1～d3から供給される電位を取込むことで設定される。そして、前記駆動トランジスタq1～q3を選択的に導通状態とすることで、複数階調表示を可能としている。

【 0 0 0 5 】

また、図 2 1 は、前記画素分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図であり、I D W (International Display Workshops) ' 9 9 や、特開 2 0 0 0 - 2 8 4 7 2 7 号公報において、M. K i m u r a 達が発表した構成である。この素子回路 1 1 1 では、1 つの画素が同じサイズの有機 E L 素子 1 1 2 ~ 1 1 4 で形成されている。有機 E L 素子 1 1 2 は、駆動トランジスタ q 1 1 から供給される電流で発光される。また、有機 E L 素子 1 1 3, 1 1 4 は、駆動トランジスタ q 1 2 から供給される電流で発光される。各駆動トランジスタ q 1 1, q 1 2 は、そのゲート端子に接続されるコンデンサ c 1 1, c 1 2 に貯えられた電位で制御される。各コンデンサ c 1 1, c 1 2 の電位は、走査信号線 g 1 1 の選択出力に応答して、選択トランジスタ q 1 3, q 1 4 がデータ信号線 d 1 1, d 1 2 から供給される電位をそれぞれ取込むことで設定される。そして、前記駆動トランジスタ q 1 1, q 1 2 を選択的に導通状態とすることで、複数階調表示を可能としている。

【 0 0 0 6 】

さらにまた、図 2 2 は、前記時間分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図であり、S I D (Society of Information Display) ' 0 0 で、K. I n u k a i 達が発表した構成である。この素子回路 1 2 1 では、有機 E L 素子 1 2 2 は、駆動トランジスタ q 2 1 から供給される電流で発光される。前記駆動トランジスタ q 2 1 は、そのゲート端子に接続されるコンデンサ c 2 1 に貯えられた電位で制御される。コンデンサ c 2 1 の電位は、走査信号線 g 2 1 の選択出力に応答して、選択トランジスタ q 2 2 がデータ信号線 d 2 1 から供給される電位を取込むことで設定され、走査信号線 g 2 2 の選択出力に応答して、消去トランジスタ q 2 3 がコンデンサ c 2 1 の端子間を短絡することで初期化される。

【 0 0 0 7 】

図 2 3 は、上記の素子回路 1 2 1 を用いた時分割階調駆動の駆動方法の一例を示す図である。この図 2 3 の例では、前記走査信号線 g 2 1 は、G 1 ~ G 1 4 の 1 4 本で 1 つの単位と想定されており、各走査信号線 G 1 ~ G 1 4 の選択様態を



、図23(3)～(16)で示している。また、この図23の例では、階調データは4ビットとされており、図23(2)で、表示されているデータの重みを示している。図23(1)は単位時間の表示であり、図23(17)は通算時間の表示である。

【0008】

1フレーム期間 T_f には、前記4ビット分の4つの走査期間 $T_{s1} \sim T_{s4}$ が設定される。第1の走査期間 T_{s1} (通算時間1～14)では、走査信号線 $G_1 \sim G_{14}$ が順に選択されて、各画素のコンデンサ c_{21} が、第4bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した32単位時間に亘って、引続き表示が行われる。したがって、走査信号線 G_1 で選択される素子回路では、通算時間1～32が第4bit目のサブフレーム期間 SF_4 となる。

【0009】

前記サブフレーム期間 SF_4 の後には、同様に、第2の走査期間 T_{s2} (通算時間33～46)が設けられ、各画素のコンデンサ c_{21} の電位が第3bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した16単位時間に亘って、引続き表示が行われる。したがって、走査信号線 G_1 で選択される素子回路では、通算時間33～48が第3bit目のサブフレーム期間 SF_3 となる。

【0010】

引続き、第3の走査期間 T_{s3} (通算時間49～62)が設けられ、各画素のコンデンサ c_{21} の電位が第2bit目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した8単位時間に亘って、引続き表示が行われる。しかしながら、前記ビットの重みに対応した8単位時間の表示時間は、走査期間 T_{s2} の14単位時間よりも短いので、前記第3の走査期間 T_{s3} の開始から8単位時間後に、その走査を追いかけるように、前記走査信号線 g_{22} が順に選択されて(通算時間57～70)、各画素のコンデンサ c_{21} の電位が消去され、ブランク表示となる。このため、走査信号線 G_1 で選択される素子回路では、通算時間49～56が第2bit目

のサブフレーム期間 $S F 2$ となる。

【0 0 1 1】

同様に、第4の走査期間 $T s 4$ （通算時間63～76）では、各画素のコンデンサ $c 2 1$ の電位が第1 $b i t$ 目の階調データに合わせてON電位かOFF電位に設定されるとともに、その設定タイミングからビットの重みに対応した4単位時間に亘って表示が行われた後、前記走査信号線 $g 2 2$ が順に選択されて（通算時間67～次フレームの4）、各画素のコンデンサ $c 2 1$ の電位が消去され、ブランク表示となる。このため、走査信号線 $G 1$ で選択される素子回路では、通算時間63～66が第1 $b i t$ 目のサブフレーム期間 $S F 1$ となる。

【0 0 1 2】

【発明が解決しようとする課題】

しかしながら、図21で示す画素分割階調を用いる構成では、1つの画素領域に配置することができる部分画素数で、表示可能な階調数が制限されてしまうという問題がある。

【0 0 1 3】

また、図20で示す複数TFTを用いる構成では、各抵抗 $r 1 \sim r 3$ の比を正確に1:2:4に設定することが困難であるので、結局 $r 1 = r 2 = r 3$ と相互に等しい抵抗を用いることになり、必要な階調数分のトランジスタを1つの画素領域に配置することができず、1つの画素領域に配置することができる駆動トランジスタの個数によって、前記画素分割階調の場合と同様に表示可能な階調数が制限されてしまうという問題がある。

【0 0 1 4】

したがって、上記何れの階調表示方法においても、必要な階調数を得るためには、前記図22の時間分割階調表示方法と組み合わせる必要がある。実際、前記図21で示す画素分割階調を用いる構成でも、時間分割階調と組み合わせることで、16階調を得ている。しかしながら、時間分割階調を用いる構成では、動画偽輪郭が発生するという問題がある。

【0 0 1 5】

図24には、図23の駆動方法を用いて、8階調レベルの背景をバックに、7

階調レベルの物体が画面上（G 1 側）から下（G 1 4 側）に動いてゆく場合に観察される動画偽輪郭を示している。すなわち、この図 2 4 の場合での動画偽輪郭は、7 階調レベルの物体の動きに合わせて、画面上を上から下へと矢符 α のように視線が移動するので、その視線上に背景の 8 階調目と、物体の 4, 2, 1 階調目との両方が捉えられ、1 5 階調レベルが見える現象である。また、画面上を上から下へと矢符 β のように視線が移動するので、その視線上に物体の 8 階調目と、背景の 4, 2, 1 階調目との両方が捉えられ、0 階調レベルが見える現象でもある。

【 0 0 1 6 】

図 2 5 に、前記 1 5 階調レベルの偽輪郭を示す。8 階調レベルの一樣な背景画面上を、7 階調レベルの一樣な物体が画面の上から下へと移動すると、物体の上側の輪郭線 α 1 が、偽輪郭線 α 2 となって見えてしまう。また、物体の下側の輪郭線 β 1 が、偽輪郭線 β 2 となって見えてしまう。

【 0 0 1 7 】

本発明の目的は、動画偽輪郭の目立ちにくい時分割階調表示を実現する表示装置を提供することである。

【 0 0 1 8 】

【課題を解決するための手段】

本発明の表示装置は、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、前記記憶素子およびそれに対を成す前記アクティブ素子を複数組設けて、それら複数の記憶素子の和出力で前記電気光学素子を表示駆動し、前記アクティブ素子を選択走査する走査手段は、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動することを特徴とする。

【 0 0 1 9 】

上記の構成によれば、相互に交差する複数の走査信号線およびデータ信号線で区画されてマトリクス状に配列された各領域に、電気光学素子、アクティブ素子および記憶素子を備え、アクティブ素子が前記走査信号線で選択されている間に

データ信号線に出力される表示データを前記記憶素子に取込み、非選択期間に亘って、その記憶素子で保持される表示データに対応した表示を行うようにした表示装置において、先ず記憶素子およびそれに対を成す前記アクティブ素子を複数組設けて、輝度レベルを設定するそれら複数の記憶素子の電圧または電流の和出力で前記電気光学素子を表示駆動するように構成する。そしてさらに、一方の記憶素子に対応したアクティブ素子を時間分割階調駆動する。

【 0 0 2 0 】

したがって、デジタル階調制御を時間分割階調制御で実現するにあたって、他方の記憶素子に上位ビット側の表示データを与え、一方の記憶素子に残余の下位ビット側の表示データを与えることで、たとえば2組の記憶素子を設けたとすると、それらの記憶素子の出力の重み、すなわち前記電圧または電流のレベルは相互に等しくなり、中間値（M階調レベルでM/2前後）以上の表示データでは、最上位ビットの表示データが「1」となって、電気光学素子は前記他方の記憶素子の出力で1フレーム期間を略発光し続け、その間に、残余の下位ビット側の表示データが「1」となったときには、前記一方の記憶素子の出力も加算されて、すなわち輝度レベルが倍となって発光することになる。

【 0 0 2 1 】

これによって、時間分割階調制御を行うにあたって、中間値以上の表示データと中間値未満の表示データとが存在し、その境界が移動してゆく場合にも、前記中間値以上の表示データ分の発光は略連続して行われているので、動画偽輪郭の発生を抑えることができる。

【 0 0 2 2 】

また、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は2組以上として、第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、前記第1のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段と、前記電位保持手段と前記第1の記憶素子との間に設けられる第3のアクティブ素子とをさらに備え、前記第1および第3のアクティブ素子を選択走査することで、前記第1の記憶素子および電位保持手段への表示データの書込み／読出しを制御することを特徴とする。

【 0 0 2 3 】

上記の構成によれば、前記記憶素子ならびにアクティブ素子を2組以上とし、第1のアクティブ素子側では、電位保持手段で第1のアクティブ素子または記憶素子の出力電位を保持して、電気光学素子を表示駆動する。そして、その電位保持手段と第1の記憶素子との間に第3のアクティブ素子をさらに設けることで、該第1のアクティブ素子側では、電気光学素子を表示駆動するための表示データの設定の自由度を向上する。すなわち、たとえば第1および第3のアクティブ素子を共に選択走査することで、第1の記憶素子および電位保持手段へ共通に表示データを取込み、表示を行うことができる。また、第3のアクティブ素子を非選択状態とし、第1のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容に影響を与えることなく、電位保持手段にのみ表示データを取込み、表示を行うことができる。さらにまた、第1のアクティブ素子を非選択状態とし、第3のアクティブ素子のみを選択走査することで、第1の記憶素子の記憶内容で電位保持手段の表示データを書換え、表示を行うことができる。

【 0 0 2 4 】

したがって、一旦第1の記憶素子へ書込んだデータを第3のアクティブ素子の選択走査によって任意のタイミングで電位保持手段へ読出し、表示することができ、同じ表示データを用いて表示駆動する場合、データ信号線からのデータの再書込みを不要とすることができる。また、この走査は、他の画素領域の第1の記憶素子または電位保持手段へデータを書込む動作とは独立して実行できるので、1フレーム期間を短縮することができる。また、第1の記憶素子から表示データを読出して電位保持手段に設定するので、データ信号線やそれに接続される浮遊容量をチャージアップする必要はなく、低消費電力化を図ることができる。

【 0 0 2 5 】

さらにまた、本発明の表示装置は、前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第4のアクティブ素子をさらに備えることを特徴とする。

【 0 0 2 6 】

上記の構成によれば、第1のアクティブ素子の選択走査によることなく、第4

のアクティブ素子を介して電位保持手段を前記予め定める初期化電位として、そのストアデータを消去することができる。

【0027】

したがって、第2のアクティブ素子側での表示の重みを2の n 乗レベルとし、第1のアクティブ素子側での表示の重みを(2の n 乗-1)レベルとし、第1および第2の記憶素子による電気光学素子の電流駆動能力が相互に等しい場合、通常の2進数データをそのまま使用することができる。

【0028】

また、本発明の表示装置は、前記記憶素子ならびにアクティブ素子は2組以上として、下位ビット側となる第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第2番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力は、前記第1番目の記憶素子の出力による電流駆動能力の2の乗数倍に順次設定されることを特徴とする。

【0029】

上記の構成によれば、デジタル階調制御を実現するにあたって、1フレーム期間内で、下位側の所定ビット分の表示データは第1番目の記憶素子に順次与えられ、それよりも上位側ビットの表示データはそれぞれ個別に第2番目以上の記憶素子に与えられ、各記憶素子の並列の出力で前記電気光学素子が表示駆動される。このとき、第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準として、第2番目以上の記憶素子の出力による電流駆動能力を2の乗数倍に順次設定する。すなわち、第2番目の記憶素子の出力による電流駆動能力は2の0乗=1倍、第3番目の記憶素子の出力による電流駆動能力は2の1乗=2倍、第4番目の記憶素子の出力による電流駆動能力は2の2乗=4倍、…という具合である。

【0030】

したがって、前記1フレーム期間に前記第2番目以降の記憶素子の出力による電気光学素子の発光が続くことになるので、動画偽輪郭の発生を、一層少なくすることができる。

【0031】

さらにまた、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は 2 組として、それぞれ第 1 および第 2 の記憶素子ならびに第 1 および第 2 のアクティブ素子とし、前記第 1 および第 2 のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第 1 および第 2 の電位保持手段と、前記各電位保持手段と前記第 1 および第 2 の記憶素子との間にそれぞれ設けられる第 3 のアクティブ素子とをさらに備え、前記第 1 および第 2 のアクティブ素子と、それらに個別に対応した第 3 のアクティブ素子とを選択走査することで、前記第 1 および第 2 の記憶素子ならびに第 1 および第 2 の電位保持手段への表示データの書込み／読出しを制御し、かつその制御を第 1 のアクティブ素子側と第 2 のアクティブ素子側とで、周期的に切換えることを特徴とする。

【 0 0 3 2 】

上記の構成によれば、前記記憶素子ならびにアクティブ素子を 2 組とし、さらにそれぞれに電位保持手段を設け、その電位保持手段と記憶素子との間に第 3 のアクティブ素子をさらに設けることで、電気光学素子を表示駆動するための表示データの設定の自由度を向上しつつ、第 1 のアクティブ素子側と第 2 のアクティブ素子側とで共通の構成とし、周期的に切換えを行う。

【 0 0 3 3 】

すなわち、たとえば第 1 および第 3 のアクティブ素子を共に選択走査することで、第 1 の記憶素子および第 1 の電位保持手段へ共通に表示データを取込み、表示を行うことができる。また、第 3 のアクティブ素子を非選択状態とし、第 1 のアクティブ素子のみを選択走査することで、第 1 の記憶素子の記憶内容に影響を与えることなく、第 1 の電位保持手段にのみ表示データを取込み、表示を行うことができる。さらにまた、第 1 のアクティブ素子を非選択状態とし、第 3 のアクティブ素子のみを選択走査することで、第 1 の記憶素子の記憶内容で第 1 の電位保持手段の表示データを書換え、表示を行うことができる。このような駆動が、第 1 のアクティブ素子側と第 2 のアクティブ素子側とで、それぞれ行うことができ、周期的に、切換え、すなわち与えるビットデータを入換える。

【 0 0 3 4 】

したがって、電気光学素子側で、第 1 のアクティブ素子に対応した構成と第 2

のアクティブ素子に対応した構成とで電気光学素子の特性にバラツキがあっても、平均した輝度で観察することになるので、階調性の良い表示を得ることができる。

【 0 0 3 5 】

また、本発明の表示装置では、前記記憶素子ならびにアクティブ素子は2組以上として、そのうち2組を第1および第2の記憶素子ならびに第1および第2のアクティブ素子とし、前記第1および第2のアクティブ素子の出力電位をそれぞれ保持して前記電気光学素子に与える第1および第2の電位保持手段と、前記各電位保持手段と前記第1および第2の記憶素子との間にそれぞれ設けられる第3のアクティブ素子とをさらに備え、前記第1および第2のアクティブ素子と、それらに個別に対応した第3のアクティブ素子とを選択走査することで、前記第1および第2の記憶素子ならびに第1および第2の電位保持手段への表示データの書込み／読出しを制御し、かつ下位ビットの表示データの与えられるアクティブ素子側でも、最上位ビットの表示データの書込みを行うことを特徴とする。

【 0 0 3 6 】

2の n 乗の階調表示を行う場合に、最上位ビットのデータの表示を、一方のアクティブ素子側のみで行うと、他方のアクティブ素子側では、最小表示期間のブランク表示が必要になる。しかしながら、上記の構成によれば、下位ビットの表示データの与えられるアクティブ素子にも、その最上位ビットのデータの表示を行わせることで、前記ブランク表示を用いることなく、したがって1フレーム期間を最小限にして、前記2の n 乗の階調表示を行うことができる。

【 0 0 3 7 】

さらにまた、本発明の表示装置は、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、任意の i ライン目の電気光学素子に対して、隣接する $i+1$ ライン目と $i-1$ ライン目との電気光学素子が対を成すようにし、前記 i ライン目の電気光学素子と対を成す電気光学素子を、前記 $i+1$ ライン目とするか、 $i-1$ ライン目とするかをフィールド周期で切換え、それら一対の電気光学素子は、同一の表示デー



タの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切換え表示することを特徴とする。

【 0 0 3 8 】

上記の構成によれば、入力する信号がインターレース信号の場合、たとえば奇数フィールドでは i ライン目と $i + 1$ ライン目との電気光学素子で対を成し、偶数フィールドでは i ライン目と $i - 1$ ライン目との電気光学素子で対を成す。そして、たとえば奇数フィールドで、奇数ラインの電気光学素子が最上位ビットの表示を行い、偶数ラインの電気光学素子が下位側ビットの表示を行い、偶数フィールドでは、奇数ラインの電気光学素子が下位側ビットの表示を行い、偶数ラインの電気光学素子が最上位ビットの表示を行う。

【 0 0 3 9 】

これによって、時間分割階調制御を行うにあたって、通常のインターレース走査に対応した表示データに対して、共通のデータ信号線を用いて、隣接する奇数ラインの電気光学素子に対応したアクティブ素子と偶数ラインの電気光学素子に対応したアクティブ素子との選択走査を工夫するだけで、動画偽輪郭の発生を抑えることができる。

【 0 0 4 0 】

【発明の実施の形態】

本発明の実施の第 1 の形態について、図 1 ～図 4 に基づいて説明すれば、以下のとおりである。

【 0 0 4 1 】

図 1 は、本発明の実施の第 1 の形態の有機 EL ディスプレイを実現する素子回路 A の電気回路図である。相互に交差する複数の走査信号線 G およびデータ信号線 D（図 1 では、1 素子分を示しており、前記信号線 G、D も 1 本のみを示している。）で区画されてマトリクス状に配列された各領域に、該素子回路 A が形成される。また、前記走査信号線 G と平行にもう 1 本の走査信号線 S が形成され、前記データ信号線 D と平行に電源線 V が形成される。

【 0 0 4 2 】

前記素子回路 A には、有機 EL 素子 1 と、その有機 EL 素子 1 へ前記電源線 V

から電流を供給する2つのp型のTFTQ11, Q21とが設けられ、それら有機EL素子1およびTFTQ11, Q21が1つの電気光学素子を形成する。前記TFTQ11, Q21は、第1のメモリ回路M1および第2のメモリ回路M2によってそれぞれON/OFFが制御される。本実施の形態では、前記TFTQ11, Q21は同一の形状のものが使用され、したがって前記メモリ回路M1, M2によって制御される電流量は、ほぼ等しく設定される。これによって、階調直線性の良い表示を得ることができる。TFTQ11, Q21のゲートのONレベルはGND電位であり、OFFレベルは電源線Vの電位である。

【0043】

前記メモリ回路M1, M2は、相互に等しく構成され、p型のTFTQ1およびn型のTFTQ2から成る1段目のCMOSインバータINV1と、p型のTFTQ3およびn型のTFTQ4から成る2段目のCMOSインバータINV2とを備えて構成される。CMOSインバータINV1, INV2の電源電圧は、前記電源線Vと接地電位との間の電圧となり、CMOSインバータINV2の出力がCMOSインバータINV1の入力に帰還されて、自己保持、すなわちメモリ動作が行われる。CMOSインバータINV1の入力はn型のTFTQ12またはQ22のゲートにそれぞれ接続され、CMOSインバータINV2の出力は前記TFTQ11またはQ21のゲートにそれぞれ接続されている。

【0044】

前記メモリ回路M1, M2には、個別的に対応して、前記TFTQ12, Q22がそれぞれ設けられている。TFTQ12は、走査コントローラによって前記走査信号線Gが選択走査されると、データ信号線Dから表示データを取込み、メモリ回路M1に設定する。同様に、TFTQ22は、走査コントローラによって前記走査信号線Sが選択走査されると、データ信号線Dから表示データを取込み、メモリ回路M2に設定する。なお、以下の説明では、特に断らない限り、各素子回路AのTFTQ12, Q22は非導通状態である。すなわち、メモリ回路M1, M2に記憶されている表示データに対応した電流が、有機EL素子1に供給されているものとする。

【0045】

図 2 は、上述のように構成される素子回路 A を用いた有機 EL ディスプレイの駆動方法の一例を示す図である。この図 2 の例では、4 ラインを走査の単位としている。したがって、素子回路は、各ラインに対応して A 1 ~ A 4 で表されている。図 2 (5) ~ (1 2) は、それぞれのメモリ回路 M 1 , M 2 での表示データのストア状態を示す。また、この図 2 では、各素子回路 A で表示する階調数を 4 b i t 階調としており、第 2 のメモリ回路 M 2 に 4 b i t 目のデータを取込み、第 1 のメモリ回路 M 1 に残余の 3 ~ 1 b i t 目のデータを取込むものとする。このため、図 2 (1) は各走査期間 T s 1 ~ T s 4 での単位時間表示であり、図 2 (2) は b i t 4 のデータに対する通算表示時間を示し、図 2 (3) は b i t 3 のデータに対する通算表示時間を示し、図 2 (4) は b i t 2 , 1 のデータに対する通算表示時間を示す。図 2 (1 3) は、1 フレーム期間 T f 内での単位選択時間の通算時間である。

【 0 0 4 6 】

第 1 の走査期間 T s 1 (図 2 (1 3) の通算時間で 1 ~ 8 の期間) では、走査信号線 S , G で共通のデータ信号線 D を用いるので、先ず走査信号線 S を選択走査して T F T Q 2 2 を導通することで、メモリ回路 M 2 に 4 b i t 目のデータを取込むとともに、該 4 b i t 目のデータの表示が開始される。次に、走査信号線 G を選択走査して T F T Q 1 2 を導通することで、メモリ回路 M 1 に 3 b i t 目のデータを取込むとともに、該 3 b i t 目のデータの表示が開始される。このような 4 b i t 目のデータと 3 b i t 目のデータとの交互の取込み走査が、素子回路 A 1 ~ A 4 に対して、順に行われる。したがって、この走査期間 T s 1 は $4 \times 2 = 8$ 単位時間となり、後述の残余の走査期間 T s 2 ~ T s 4 の 2 倍となる。

【 0 0 4 7 】

続いて、第 2 の走査期間 T s 2 (図 2 (1 3) の通算時間で 1 3 ~ 1 6 の期間) では、走査信号線 G のみが順に選択走査され、メモリ回路 M 1 に 2 b i t 目のデータが取込まれてゆく。本実施の形態では、時間分割階調の 1 階調当りの表示期間を 4 単位時間とするので、この 2 b i t 目のデータの表示期間は 8 単位時間となる。したがって、1 b i t 目のデータの走査を行う第 3 の走査期間 T s 3 は、前記第 2 の走査期間 T s 2 から 8 単位時間だけ遅れて走査を開始し、図 2 (1

3) の通算時間で、21～24の期間となる。

【0048】

その後、第4の走査期間Ts4が設けられるけれども、前記1bit目のデータの表示期間は4単位時間であるので、該第4の走査期間Ts4は、図2(13)の通算時間で、25～28の期間となる。この走査期間Ts4では、再び第1のメモリ回路M1に3bit目のデータが取込まれ、次のフレームの第1の走査期間Ts1でデータが更新されるまでの5単位時間に亘って、表示を継続する。

【0049】

したがって、4～1bitの各データの表示時間は、素子回路A1について見れば、 $28:11$ (本来のフレーム期間分) + 4 (本来のフレーム期間分) + 1 (次のフレーム期間分) : $8:4 = 28:16:8:4 = 7:4:2:1$ 、素子回路A4について見れば、 22 (本来のフレーム期間分) + 6 (次のフレーム期間分) : 8 (本来のフレーム期間分) + 1 (本来のフレーム期間分) + 7 (次のフレーム期間分) : $8:4 = 7:4:2:1$ となる。したがって、各素子回路Aでは、有機EL素子1を、メモリ回路M1からの出力で0～7階調レベルの発光を行わせることができ、メモリ回路M2からの出力で0または7階調レベルの発光を行わせることができる。

【0050】

ここで、有機EL素子1と接続される前記TF T Q11, Q12が相互に等しい形状およびサイズで形成されることで、前記2つのTF T Q11, Q12が共に導通することで輝度レベル14の発光が、一方のみが導通することで輝度レベル7の発光が、2つが共に遮断することで輝度レベル0の発光が、有機EL素子1においてそれぞれ行われることになる。また、有機EL素子1が単一の素子で形成されていても、メモリ回路M1, M2からの出力電流を加算することで、同様の表示を期待することができる。

【0051】

このように、1つの有機EL素子1を0, 7, 14の3つのレベルで発光させることで、図3で示すように、輝度レベル7の背景の中を輝度レベル6の物体が移動する場合、輝度レベル7の素子回路(図3ではA1, A4に相当)は常に輝

度レベル7で点灯状態なので、矢符 $\alpha 11$ 、 $\beta 11$ で示すように、画面上を上から下へと、すなわち走査信号線G、Sの走査方向に視線が動いても、その輝度レベル7の素子回路に対して、輝度レベル6の素子回路（図3ではA2、A3に相当）は、殆ど動画偽輪郭を感じさせない表示が可能となる。図3（1）～（13）は、前述の図2（1）～（13）に、それぞれ対応している。

【0052】

図4には、前述のように構成される素子回路Aを用いた有機ELディスプレイの駆動方法の他の例を示す。前述の図2の駆動方法では、メモリ回路M2からの出力で表示される階調レベルが7であり、4bitデータを用いても、表示可能な階調レベルは0～14の15階調レベルであり、4bitデータで本来表示することができる16階調レベルより少ない。そこで、この図4の駆動方法では、前記メモリ回路M1へ消去データを入力し、1階調分の表示期間を非発光状態とすることで、前記メモリ回路M2の出力で表示可能な階調レベルを8とするものである。この図4の例でも、前記図2と同様に、4ラインを走査の単位としており、図4（1）～（13）は、それぞれ図2（1）～（13）に対応している。

【0053】

走査期間Ts1から走査期間Ts3における走査信号線Gの選択走査が終了するまでの期間（図4（13）の通算時間で1～24の期間）は、図2の場合と同様の駆動が行われる。本駆動方法では、その後、走査信号線Gが通常と同様に順に選択走査されて、通算時間で25～28の期間は、前記メモリ回路M1に前記消去データが入力され、ブランク表示となる。このブランク表示の後の通算時間で28～32の期間が、前記走査期間Ts4となって、メモリ回路M1に再び3bit目のデータが取込まれ、次のフレームの第1の走査期間Ts1でデータが更新されるまでの5単位時間に亘って、表示が継続される。

【0054】

したがって、4～1bitの各データの表示時間は、素子回路A1について見れば、 $32:11$ （本来のフレーム期間分）+4（本来のフレーム期間分）+1（次のフレーム期間分）： $8:4=8:4:2:1$ となって、4bitデータをフルに使用した16階調レベルの表示が可能となる。すなわち、この図4の駆動



方法は、消去データを表示させるために使用した通算時間 2 5 ～ 2 8 で 1 階調分表示できるのに、わざわざ表示しないで 0 ～ 1 5 階調レベルの 1 6 階調を表示したとも解釈できる。しかしながら、元々、デジタルデータは 2 進数データとして変換されることが多いので、この 2 進数データをそのままデータ変換することなく取扱うことができれば、前記の 1 階調分減らしても好ましいと言える。すなわち、この図 4 の駆動方法では、図 2 の駆動方法のように 1 6 階調から 1 5 階調へデータ変換をする必要がないので、周辺回路の変更等を伴うことなく、容易に適用することができる。

【 0 0 5 5 】

本発明の実施の第 2 の形態について、図 5 ～ 図 7 に基づいて説明すれば、以下のとおりである。

【 0 0 5 6 】

図 5 は、本発明の実施の第 2 の形態の有機 E L ディスプレイにおける素子回路 A a の電気回路図である。この素子回路 A a は、前述の素子回路 A に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。この素子回路 A a は、前記メモリ回路 M 2 に関する構成は素子回路 A と同様であるけれども、注目すべきは、メモリ回路 M 1 に関する構成において、T F T Q 1 2 が直接 T F T Q 1 1 のゲートに接続され、さらにそのゲートの電位を保持するコンデンサ C 1 が設けられて該コンデンサ C 1 の電位で T F T Q 1 1 が O N / O F F 制御され、有機 E L 素子 1 を流れる電流量が制御されるとともに、メモリ回路 M 1 への前記表示データの書き込み／読出しが T F T Q 1 3 を介して行われることである。このため、前記走査信号線 G、S と平行に、選択線 G a が設けられている。

【 0 0 5 7 】

したがって、前記コンデンサ C 1 の電位は、走査信号線 G が選択走査されているときにデータ信号線 D から取込まれ、設定される。一方、メモリ回路 M 1 には、走査信号線 G および選択線 G a が共に選択走査されているときにデータ信号線 D から表示データが書込まれる。また、走査信号線 G が非選択状態で、かつ選択線 G a が選択走査されているときにメモリ回路 M 1 から読出された表示データで、前記コンデンサ C 1 の電位は設定される。

【 0 0 5 8 】

このような素子回路A aを用いた駆動方法の一例は、図6に示すようになる。この図6の例では、5ラインを走査の単位としており、したがって素子回路はA 1～A 5であり、図6（5）～（14）に、それぞれのコンデンサC 1およびメモリ回路M 2での表示データのストア状態を示す。また、5 b i t階調のデータを用いるものとし、図6（2）はb i t 5のデータに対する通算表示時間を示し、図6（3）はb i t 4のデータに対する通算表示時間を示し、図6（4）はb i t 3，2，1のデータに対する通算表示時間を示す。図6（1）は各走査期間T s 1～T s 4での単位時間表示であり、図6（15）は1フレーム期間T f内での単位選択時間の通算時間である。

【 0 0 5 9 】

第1の走査期間T s 1（図6（15）の通算時間で1～10の期間）では、先ず走査信号線Sを選択走査してT F T Q 2 2を導通することで、メモリ回路M 2に5 b i t目のデータを取込むとともに、該5 b i t目のデータの表示が開始される。次に、走査信号線Gおよび選択線G aを選択走査してT F T Q 1 2，Q 1 3を導通することで、コンデンサC 1およびメモリ回路M 1に4 b i t目のデータを取込むとともに、該4 b i t目のデータの表示が開始される。このような5 b i t目のデータと4 b i t目のデータとの交互の取込み走査が、素子回路A 1～A 5に対して、順に行われる。したがって、この走査期間T s 1は $5 \times 2 = 10$ 単位時間となり、後述の残余の走査期間T s 2～T s 4の2倍となる。

【 0 0 6 0 】

続いて、第2の走査期間T s 2（図6（15）の通算時間で11～15の期間）では、走査信号線Gのみが順に選択走査され、コンデンサC 1に3 b i t目のデータが取込まれ、表示が開始される。このとき、選択線G aは非選択状態であるので、T F T Q 1 3は遮断し、メモリ回路M 1は4 b i t目のデータを保持し続ける。本実施の形態では、時間分割階調の1階調当りの表示期間を2単位時間とするので、この3 b i t目のデータの表示期間は8単位時間となる。

【 0 0 6 1 】

したがって、2 b i t目のデータの走査を行う第3の走査期間T s 3は、前記

第2の走査期間 $T_s 2$ から8単位時間だけ遅れて走査を開始し、図6(15)の通算時間で19～23の期間となる。このときも前記走査期間 $T_s 2$ と同様に、選択線 G_a は非選択状態であるので、 $TFTQ13$ は遮断し、メモリ回路 $M1$ は4bit目のデータを保持し続ける。しかしながら、該走査期間 $T_s 2$ が5単位時間であるのに対して、表示に必要な期間は4単位時間であるので、余分になる最後の1単位時間(図6(15)の通算時間で23～27の期間)では、選択線 G_a のみが順に選択走査され、 $TFTQ13$ を導通することでコンデンサ $C1$ にそのメモリ回路 $M1$ にストアされていた4bit目のデータを読み出し、表示が行われる。

【0062】

そして、第4の走査期間 $T_s 4$ (図6(15)の通算時間で24～28の期間)でも、走査信号線 G のみが順に選択走査され、コンデンサ $C1$ に1bit目のデータが取込まれ、表示が開始される。ここでも、前記2bit目の表示と同様に、余分になる後半の3単位時間(図6(15)の通算時間で26～30の期間)では、選択線 G_a のみが順に選択走査され、再びメモリ回路 $M1$ から前記4bit目のデータを読み出し、次のフレームの第1の走査期間 $T_s 1$ でデータが更新されるまで、表示を継続する。

【0063】

したがって、5～1bitの各データの表示時間は、素子回路 $A1$ について見れば、 $30:9$ (本来のフレーム期間分) $+1$ (本来のフレーム期間分) $+5$ (本来のフレーム期間分) $+1$ (次のフレーム期間分) $:8:4:2=15:8:4:2:1$ となる。

【0064】

このように構成しても、動画偽輪郭を抑制する効果は、前記図1～図4の構成と同様に有しており、さらに4bit階調目が3つに分割される分だけ、より動画偽輪郭抑制効果があると推測される。

【0065】

また、前述の素子回路 A では、一旦メモリ回路 $M1$ へ書込んだデータを他のデータの表示後に表示させるためには、再度該メモリ回路 $M1$ へ書込む必要がある

のに対して、この素子回路A aでは、該メモリ回路M 1とコンデンサC 1とを用い、一旦該メモリ回路M 1へ書込んだデータを選択線G aの選択走査によって任意のタイミングでコンデンサC 1へ読出し、表示することができ、前記再書込みを不要とすることができる。

【0066】

すなわち、この素子回路A aおよびその駆動方法による効果は、図2と図6とを比較すれば明白である。前記コンデンサC 1およびTFTQ 13を持たない図2の駆動方法では4本の走査信号線G 1～G 4を有する表示装置に4bit階調表示させるには28単位時間が必要であったのに対して、前記コンデンサC 1およびTFTQ 13を備える図6の駆動方法では、5本の走査信号線G 1～G 5を有する表示装置に5bit階調表示させるのに30通算時間しか必要とならない。これによって、選択走査に要する時間を短縮し、1フレーム期間T fを短縮することができる。

【0067】

また、図2の駆動方法では、3bit目のデータを改めて書直すために、データ信号線Dをチャージアップしなければならない、この場合、該データ信号線Dに接続される各素子回路AのTFTQ 12, Q 22等が浮遊容量として働くので、それら浮遊容量もチャージアップする必要がある、消費電力が高むという問題がある。これに対して、図6の駆動方法では、メモリ回路M 1からTFTQ 13を通してコンデンサC 1へ至る経路だけチャージアップすればよいので、前記データ信号線Dをチャージアップする必要はなく、その分、低消費電力化を図ることができる。

【0068】

図7には、前述のように構成される素子回路A aを用いた有機ELディスプレイの駆動方法の他の例を示す。前述の図6の駆動方法とは、1bit目のデータの取込みタイミングが異なるだけで、その他の点では大差はない。図7(1)～(15)は、それぞれ図6(1)～(15)に対応している。

【0069】

この駆動方法では、第1の走査期間T s 1(図7(15))の通算時間で1～1

5の期間)では、先ず走査信号線Sを選択走査してTFTQ22を導通することで、メモリ回路M2に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。次に、走査信号線Gおよび選択線Gaを選択走査してTFTQ12, Q13を導通することで、コンデンサC1およびメモリ回路M1に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。ところが、前記4bit目のデータは、1単位時間表示されるだけで、直ちに、走査信号線Gのみが選択走査されてコンデンサC1に1bit目のデータが取込まれるとともに、該1bit目のデータの表示が開始される。そして、2単位時間表示された後、選択線Gaのみが選択走査されて、メモリ回路M1からコンデンサC1に4bit目のデータが読出されてセットされるとともに、再び該4bit目のデータの表示が開始される。このような5bit目のデータと4bit目のデータとのメモリ回路M2, M1へのそれぞれの取込み走査と、1bit目のデータのコンデンサC1へのセットとが、素子回路A1~A5に対して、順に行われる。したがって、この走査期間Ts1は $5 \times 3 = 15$ 単位時間となり、後述の残余の走査期間Ts2~Ts4の3倍となる。

【0070】

続いて、第2の走査期間Ts2(図7(15)の通算時間で16~20の期間)では、前記図6の走査期間Ts2と同様に、走査信号線Gのみが順に選択走査され、コンデンサC1に3bit目のデータが取込まれ、表示が開始される。そして、8単位時間に亘って表示した後、第3の走査期間Ts3(図7(16)の通算時間で24~28の期間)では、前記図6の走査期間Ts3と同様に、走査信号線Gのみが順に選択走査され、コンデンサC1に2bit目のデータが取込まれて表示が行われ、最後の1単位時間(図7(15)の通算時間で28~次のフレームの2の期間)では、選択線Gaのみが順に選択走査され、コンデンサC1にメモリ回路M1にストアされていた4bit目のデータを再度読出し、次のフレームの第1の走査期間Ts1でデータが更新されるまで、表示を継続する。

【0071】

このような駆動方法では、1フレーム期間Tfに占める走査期間Tsの割合は同じであるけれども(25/30)、走査期間の数を削減することができる。

【 0 0 7 2 】

本発明の実施の第3の形態について、図8～図10に基づいて説明すれば、以下のとおりである。

【 0 0 7 3 】

図8は、本発明の実施の第3の形態の有機ELディスプレイにおける素子回路A bの電気回路図である。この素子回路A bは、前述の素子回路A aに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路A bでは、前述の素子回路A aの構成に、第3のメモリ回路M 3およびそれに関連するT F T Q 3 1 a, Q 3 1 b ; Q 3 2が設けられていることである。メモリ回路M 3およびその入力端と前記データ信号線Dとの間に設けられるT F T Q 3 2は、前述のメモリ回路M 1, M 2およびT F T Q 1 2, Q 2 2と同様に構成される。また、相互に並列に接続され、メモリ回路M 3の出力で駆動され、前記電源線Vから有機EL素子1への電流量を制御するT F T Q 3 1 a, Q 3 1 bも、前述のT F T Q 1 1, Q 2 1と等しい面積に形成される。

【 0 0 7 4 】

したがって、このメモリ回路M 3に関する構成は、メモリ回路M 1, M 2に関する構成に比べて、2倍の電流を供給することが可能となっており、同じ時間だけ有機EL素子1を点灯させた場合、該メモリ回路M 3にストアされる表示データは、メモリ回路M 1, M 2にストアされる表示データの2倍の重みを有することになる。メモリ回路M 3への前記表示データの書込みを制御するT F T Q 3 2は、前記走査信号線G, Sおよび選択線G aと平行に設けられる走査信号線Kによって選択走査される。また、前記コンデンサC 1の電位は、前記素子回路A aではGND電位から定められていたけれども、この素子回路A bでは電源線Vの電位から定められる。

【 0 0 7 5 】

このような素子回路A bを用いた駆動方法の一例は、図9に示すようになる。この図9の例では、6ラインを走査の単位としており、したがって素子回路はA 1～A 6であり、図9(6)～(23)に、それぞれのコンデンサC 1およびメモリ回路M 2, M 3での表示データのストア状態を示す。また、5 b i t 階調の

データを用いるものとし、図 9 (2) は bit 5 のデータに対する通算表示時間を示し、図 9 (3) は bit 4 のデータに対する通算表示時間を示し、図 9 (4) は bit 3 のデータに対する通算表示時間を示し、図 9 (5) は bit 2, 1 のデータに対する通算表示時間を示す。図 9 (1) は各走査期間 $T_{s1} \sim T_{s3}$ での単位時間表示であり、図 9 (24) は 1 フレーム期間 T_f 内での単位選択時間の通算時間である。

【 0 0 7 6 】

第 1 の走査期間 T_{s1} (図 9 (24) の通算時間で 1 ~ 18 の期間) では、先ず走査信号線 K を選択走査して T F T Q 3 2 を導通することで、メモリ回路 M3 に 5 bit 目のデータを取込むとともに、該 5 bit 目のデータの表示が開始される。次に、走査信号線 S を選択走査して T F T Q 2 2 を導通することで、メモリ回路 M2 に 4 bit 目のデータを取込むとともに、該 4 bit 目のデータの表示が開始される。続いて、走査信号線 G および選択線 G a を選択走査して T F T Q 1 2, Q 1 3 を導通することで、コンデンサ C 1 およびメモリ回路 M1 に 3 bit 目のデータを取込むとともに、該 3 bit 目のデータの表示が開始される。このような 5 ~ 3 bit 目のデータの交互の取込み走査が、素子回路 A 1 ~ A 6 に対して、順に行われる。したがって、この走査期間 T_{s1} は $6 \times 3 = 18$ 単位時間となり、後述の残余の走査期間 T_{s2} , T_{s3} の 3 倍となる。

【 0 0 7 7 】

続いて、第 2 の走査期間 T_{s2} (図 9 (24) の通算時間で 19 ~ 24 の期間) では、走査信号線 G のみが順に選択走査され、コンデンサ C 1 に 1 bit 目のデータが取込まれ、表示が開始される。このとき、選択線 G a は非選択状態であるので、T F T Q 1 3 は遮断し、メモリ回路 M1 は 3 bit 目のデータを保持し続ける。本実施の形態では、時間分割階調の 1 階調当りの表示期間を 5 単位時間とするので、この 1 bit 目のデータの表示期間は 5 単位時間となる。しかしながら、該走査期間 T_{s2} が 6 単位時間であるのに対して、表示に必要な期間は前記 5 単位時間であるので、余分になる最後の 1 単位時間 (図 9 (24) の通算時間で 24 ~ 29 の期間) では、選択線 G a のみが順に選択走査され、コンデンサ C 1 にメモリ回路 M1 にストアされていた 3 bit 目のデータを読み出し、表示が

行われる。

【 0 0 7 8 】

そして、第 3 の走査期間 $T_s 3$ (図 9 (24) の通算時間で 25 ~ 30 の期間) では、走査信号線 G のみが順に選択走査され、コンデンサ $C 1$ に 2 b i t 目のデータが取込まれ、表示が開始される。そして、10 単位時間に亘って表示した後、選択線 $G a$ のみが順に選択走査され、再びメモリ回路 $M 1$ から前記 3 b i t 目のデータを読み出し、次のフレームの第 1 の走査期間 $T_s 1$ でデータが更新されるまで、表示を継続する。

【 0 0 7 9 】

したがって、5 ~ 1 b i t の各データの表示時間は、素子回路 $A 1$ について見れば、 35×2 (2 倍の電流量による重み分) : 34 (本来のフレーム期間分) + 1 (次のフレーム期間分) : 16 (本来のフレーム期間分) + 1 (本来のフレーム期間分) + 1 (本来のフレーム期間分) + 2 (次のフレーム期間分) : 10 : 5 = 70 : 35 : 20 : 10 : 5 = 14 : 7 : 4 : 2 : 1 となる。

【 0 0 8 0 】

このように 3 組以上のメモリ回路 $M 1 \sim M 3$ ならびにそれに対応した $T F T Q 1 2 \sim Q 3 2$ を設け、下位ビット側となるメモリ回路 $M 1$, $M 2$ に対応した $T F T Q 1 1$, $Q 2 1$ の電流駆動能力を相互に等しく設定し、メモリ回路 $M 3$ に対応した $T F T Q 3 1 a$, $Q 3 1 b$ の電流駆動能力もそれに等しく、すなわちメモリ回路 $M 3$ による電流駆動能力をメモリ回路 $M 1$, $M 2$ の電流駆動能力の 2 倍に設定することで、デジタル階調制御を実現するにあたって、1 フレーム期間 $T f$ 中、上位 2 b i t のデータを常に点灯または消灯状態とすることで、動画偽輪郭を一層抑えた表示を行うことができる。

【 0 0 8 1 】

ここで、本実施の形態では、発光する輝度レベルが 0 輝度レベルを含め、7, 14, 28 の 3 つ以上が使用されている。この点では、従来技術で示した特開 2000-347623 号公報の複数 $T F T$ での階調表示方法と同様である。しかしながら、同時にこの点は、従来技術で示した $I D W' 99$ の画素分割階調表示方法や、 $S I D' 00$ の時間分割階調表示方法とは異なる。 $I D W' 99$ の画素

分割階調表示方法や、S I D' 0 0 の時間分割階調表示方法のように2つの輝度レベルを組合わせて階調表示する場合と、本発明や特開 2 0 0 0 - 3 4 7 6 2 3 号のように複数 T F T で階調表示方法で複数輝度レベルを用いる場合との効果の違いについて、以下に説明する。

【 0 0 8 2 】

図 1 0 は、ある有機 E L 素子の発光輝度と発光効率との関係を示すグラフである。この材料では、参照符 $\gamma 1$ で示す発光輝度が $30 [\text{cd}/\text{m}^2]$ 近辺で、参照符 $\gamma 2$ で示す発光効率は $23 [\text{lm}/\text{W}]$ の最高効率を示す。その後、発光輝度が上昇する程、発光効率は低下する。そこで、仮に表示パネルの最高輝度が $100 [\text{cd}/\text{m}^2]$ 、有機 E L 素子の画素占有率が 50% と仮定し、このパネルで $50 [\text{cd}/\text{m}^2]$ の表示を得るための条件を考える。

【 0 0 8 3 】

2つの輝度レベルを組合わせて階調表示する場合は、発光はパネルで最高輝度レベルである $100 [\text{cd}/\text{m}^2]$ と $0 [\text{cd}/\text{m}^2]$ との組合せとなる。パネルで $100 [\text{cd}/\text{m}^2]$ を得るためには、占有率で半減するので、発光部で $200 [\text{cd}/\text{m}^2]$ を得る必要がある。したがって、上記の場合、図 1 0 から、発光効率は約 $20 [\text{lm}/\text{W}]$ となる。

【 0 0 8 4 】

これに対して、本実施の形態のように（輝度 0 を含む）5段階で発光する場合、発光は中間輝度レベルである $50 [\text{cd}/\text{m}^2]$ を用いれば良い。パネルで $50 [\text{cd}/\text{m}^2]$ を得るためには、発光部で $100 [\text{cd}/\text{m}^2]$ を得る必要がある。したがって、図 1 0 から、発光効率は $100 [\text{cd}/\text{m}^2]$ に対応する約 $22 [\text{lm}/\text{W}]$ となる。

【 0 0 8 5 】

前者の例のように、輝度レベル 0% と 100% としか用いない場合の発光効率は、輝度レベル 100% の発光効率となる。したがって、この輝度レベル 100% が最高発光効率を示す場合、もしくはこの輝度レベル 100% より高い輝度レベルが最高発光効率を示す場合は、この2値の輝度レベルを用いる方法が良い。一方、後者の例のように、輝度レベル 0% と 50% と 100% とのように、3つ

以上の発光レベルを用いる場合は、この輝度レベル 0 % と 1 0 0 % との間に最高発光効率がある場合に、より最高発光効率に近い輝度レベルが使用できるので、有効である。したがって、前記図 1 0 の特性のように輝度レベル 0 % と 1 0 0 % との間に最高発光効率がある場合に、3 つ以上の発光レベルを用いる前記の各実施の形態の構成は、好適である。

【 0 0 8 6 】

そして、3 個の T F T Q 1 2 ~ Q 3 2 を用い、下位ビット側となる T F T Q 1 2, Q 2 2 の出力による電流駆動能力を相互に等しく設定し、T F T Q 3 2 の出力による電流駆動能力を前記 T F T Q 1 2, Q 2 2 の 2 倍に設定することで、時間分割階調制御を実現するにあたって、1 フレーム期間 T f 中、上位 2 ビットのデータを、常に点灯または消灯状態とすることができ、動画偽輪郭を一層抑えることができる。4 個以上の T F T を用いる場合には、その出力による電流駆動能力を 2 の乗数倍に設定すればよい。

【 0 0 8 7 】

本発明の実施の第 4 の形態について、図 1 1 および図 1 2 に基づいて説明すれば、以下のとおりである。

【 0 0 8 8 】

図 1 1 は、本発明の実施の第 4 の形態の有機 E L ディスプレイにおける素子回路 A c の電気回路図である。この素子回路 A c は、前述の素子回路 A a に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路 A c では、前記コンデンサ C 1 を電源線 V の電位で充電することで、そのストアデータを消去する T F T Q 1 4 がさらに設けられるとともに、走査信号線 G, S および選択線 G a と平行に、もう 1 つの選択線 G b が設けられていることである。これらの選択線 G a, G b は、選択走査される際には、択一的に選択される。このような消去用の T F T 1 4 を用いる構成は、従来技術の図 2 2 でも示されているけれども、前記の素子回路 A b のように 3 つ目以上のメモリ回路 M 3 ~ を用いることなく、前記のような上位 b i t の階調レベルを 2 の階乗とすることができる。

【 0 0 8 9 】

このような素子回路 A c を用いた駆動方法の一例は、図 1 2 に示すようになる。この図 1 2 の例では、5 ラインを走査の単位としており、したがって素子回路は A 1 ~ A 5 であり、図 1 2 (1) ~ (1 5) は、前述の図 6 (1) ~ (1 5) にそれぞれ対応している。第 1 の走査期間 T s 1 ~ 第 3 の走査期間 T s 3 においてコンデンサ C 1 に 2 b i t 目のデータを取込んでゆく時点までは、前述の図 6 の駆動方法と同一である。

【 0 0 9 0 】

しかしながら、図 6 の駆動方法の場合は、該走査期間 T s 3 において余分になる最後の 1 単位時間（図 6 (1 5) の通算時間で 2 3 ~ 2 7 の期間）では、選択線 G a のみが順に選択走査され、メモリ回路 M 1 にストアされていた 4 b i t 目のデータを読み出し、表示が行われるのに対して、この図 1 2 の駆動方法の場合は、前記最後の 1 単位時間（同様に図 1 2 (1 5) の通算時間で 2 3 ~ 2 7 の期間）では、選択線 G b のみが順に選択走査され、前記 T F T Q 1 4 を導通することで、コンデンサ C 1 のデータが消去され、ブランク表示となる。

【 0 0 9 1 】

そして、そのブランク表示は後述するように 1 階調分あればよいので、2 単位時間に亘って行った後、第 4 の走査期間 T s 4 （図 1 2 (1 5) の通算時間で 2 5 ~ 2 9 の期間）となり、走査信号線 G のみが順に選択走査され、コンデンサ C 1 に 1 b i t 目のデータが取込まれ、表示が開始される。ここでも、前記 2 b i t 目の表示と同様に、余分になる後半の 3 単位時間（図 1 2 (1 5) の通算時間で 2 7 ~ 3 1 の期間）では、選択線 G a のみが順に選択走査され、再びメモリ回路 M 1 から前記 4 b i t 目のデータを読み出し、その後もさらに 3 単位時間（図 1 2 (1 5) の通算時間で 3 0 ~ 3 2 の期間）に亘って表示を行った後、次のフレームの第 1 の走査期間 T s 1 でデータが更新されるまで、表示を継続する。

【 0 0 9 2 】

したがって、5 ~ 1 b i t の各データの表示時間は、素子回路 A 1 について見れば、 $32 : 9$ （本来のフレーム期間分） $+ 6$ （本来のフレーム期間分） $+ 1$ （次のフレーム期間分） $: 8 : 4 : 2 = 16 : 8 : 4 : 2 : 1$ となる。したがって、前記 2 単位時間のブランク表示を挿入することで、メモリ回路 M 1 側での表示

の重みを（2の n 乗－1）レベルとし、メモリ回路M2側での表示の重みを2の n 乗レベルとすることができる。これによって、通常の2進数データをそのまま使用することができる。

【0093】

すなわち、前述の素子回路Aaを用いた図6、7の駆動方法は、メモリ回路M1とコンデンサC1とを用いて、1, 2, ..., (2の n 乗)のように $(n+1)$ bit 階調を表示するとき、

$$(2 \text{ の } (n-1) \text{ 乗}) > (1 + 2 + \dots + (2 \text{ の } (n-2) \text{ 乗}))$$

であるので、各 bit の走査期間を（2の $(n-2)$ 乗）階調の表示期間とほぼ等しくし、予め（2の $(n-1)$ 乗）階調表示データをメモリ回路M1へ記憶させ、その後コンデンサC1を用いて（2の $(n-2)$ 乗）, ..., 2, 1階調表示を行い、その（2の $(n-2)$ 乗）, ..., 2, 1階調表示の余った時間に先のメモリ回路M1へ記憶させたデータを用いて、（2の $(n-1)$ 乗）階調表示の残った表示期間を表示させるものである。

【0094】

これに対して、この素子回路Acを用いた図12の駆動方法は、上記表示期間の合計が、

$$(2 \text{ の } n \text{ 乗}) > (1 + 2 + \dots + (2 \text{ の } (n-2) \text{ 乗}) + (2 \text{ の } (n-1) \text{ 乗}))$$

と、メモリ回路M2を用いて（2の n 乗）階調表示を行うべき期間より1階調分足りなくなるので、前記TFTQ14を用いてブランク表示するだけの期間を1階調分作り、2の n 乗の M 階調表示を実現させたものである。

【0095】

前述の図2、6、7等では、TFTQ21が導通状態となった時の発光量を、TFTQ11が導通状態となった時の発光量より1階調分大きくすれば、各 bit データの重みの比を、1:2:4:8等、2の階乗の重みとできる。これに対して、この図12では、TFTQ11、Q12の重みを等しくしている。それは、特性がほぼ等しいTFTや電気光学素子が作成される可能性は比較的高いが、特性が1階調レベルだけずれたTFTや電気光学素子が作成される可能性が比較的低いためである。

【 0 0 9 6 】

そこで、表示可能な階調数Mを2の階乗-1とする場合は、前述の図2, 6, 7等のように、メモリ回路M2に最上位bitのデータを記憶させれば済むのに対して、階調数Mを2の階乗とする場合は、後述の図14のように、最上位bitのデータをメモリ回路M1へも記憶させたり、下位bitのデータをメモリ回路M2に記憶させたり、この図12のようにメモリ回路M1（やコンデンサC1）による発光に非発光期間を設ける等の処置が必要である。しかしながら、この場合、前述のように通常の2進数データをそのまま使用することができるので、余計なデータ変換回路は不要であり、好適である。

【 0 0 9 7 】

本発明の実施の第5の形態について、図13および図14に基づいて説明すれば、以下のとおりである。

【 0 0 9 8 】

図13は、本発明の実施の第5の形態の有機ELディスプレイにおける素子回路Adの電気回路図である。この素子回路Adは、前述の素子回路Aaに類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路Adでは、2つのメモリ回路M1, M2に関連する構成が、相互に等しいことである。すなわち、メモリ回路M1に関連して、TFTQ11, Q12, Q13およびコンデンサC1ならびに走査信号線Gおよび選択線Gaが設けられるのと同様に、メモリ回路M2に関連して、TFTQ21, Q22, Q23およびコンデンサC2ならびに走査信号線Sおよび選択線Saが設けられる。

【 0 0 9 9 】

このような素子回路Adを用いた駆動方法の一例は、図14に示すようになる。この図14の例では、6ラインを走査の単位としており、したがって素子回路はA1～A6であり、図14(5)～(16)に、それぞれのコンデンサC1, C2での表示データのストア状態を示す。また、4bit階調のデータを用いるものとし、図14(2)はbit4のデータに対する通算表示時間を示し、図14(3)はbit3のデータに対する通算表示時間を示し、図14(4)はbi

t_2 , 1 のデータに対する通算表示時間を示す。図 6 (1) は各走査期間 T_{s1} ~ T_{s4} での単位時間表示であり、図 6 (17) は 1 フレーム期間 T_f 内での単位選択時間の通算時間である。

【0100】

この駆動方法は、奇数フレーム期間 T_{f1} と偶数フレーム期間 T_{f2} とで 1 組となっている。第 1 のフレーム期間 T_{f1} の第 1 の走査期間 T_{s1} (図 14 (17) の通算時間で 1 ~ 6 の期間) では、走査信号線 G , S および選択線 S_a のみが順に選択走査されて $TFTQ_{12}$; Q_{22} , Q_{23} が導通し、メモリ回路 M_2 およびコンデンサ C_1 , C_2 に 4 bit 目のデータを取込むとともに、該 4 bit 目のデータの表示が開始される。

【0101】

ここで、4 bit のデータで 16 階調表示を実現するには、1 階調当りの表示期間を 4 単位時間とすると、4 bit 目のデータの表示期間には $4 \times 8 = 32$ 単位時間あればよく、そのうち前記コンデンサ C_1 を用いて表示した期間が既に 6 単位時間あるので、コンデンサ C_2 を用いて表示する期間は、合計で $32 - 6 = 26$ 単位時間あればよい。これは 1 フレーム期間 T_f より 4 単位時間短いので、余分となる期間で、3 bit 目のデータを表示することができる。そして、その 3 bit 目のデータがコンデンサ C_2 に保持されている時間は、4 単位時間となる。

【0102】

このため、第 2 の走査期間 T_{s2} (図 14 (17) の通算時間で 7 ~ 12 の期間) では、走査信号線 G , S および選択線 G_a のみが順に選択走査されて $TFTQ_{12}$, Q_{13} ; Q_{22} が導通し、メモリ回路 M_1 およびコンデンサ C_1 , C_2 に 3 bit 目のデータを取込むとともに、該 3 bit 目のデータの表示が開始される。このとき、選択線 S_a は非選択状態であるので、 $TFTQ_{23}$ は遮断し、メモリ回路 M_2 は 4 bit 目のデータを保持し続ける。その第 2 の走査期間 T_{s2} の途中で、前記 4 単位時間が経過した時点で、選択線 S_a のみが選択走査されて $TFTQ_{23}$ が導通し、コンデンサ C_2 に 4 bit 目のデータが読出され、以降第 1 のフレーム期間 T_{f1} の終了まで表示が行われることになる。コンデンサ

C 1 に関しては、第 2 の走査期間 T s 2 の終了まで、前記 3 b i t 目のデータの表示が行われる。

【 0 1 0 3 】

続いて、第 3 の走査期間 T s 3 (図 1 4 (1 7) の通算時間で 1 3 ~ 1 8 の期間) では、走査信号線 G のみが順に選択走査され、コンデンサ C 1 に 2 b i t 目のデータが取込まれ、表示が開始される。このとき、選択線 G a は非選択状態であるので、T F T Q 1 3 は遮断し、メモリ回路 M 1 は 3 b i t 目のデータを保持し続ける。本実施の形態では、前記のように時間分割階調の 1 階調当りの表示期間を 4 単位時間とするので、この 2 b i t 目のデータの表示期間は 8 単位時間となる。

【 0 1 0 4 】

したがって、1 b i t 目のデータの走査を行う第 4 の走査期間 T s 4 は、前記第 3 の走査期間 T s 3 から 8 単位時間だけ遅れて開始され、図 1 4 (1 7) の通算時間で 2 1 ~ 2 6 の期間となり、走査信号線 G のみが順に選択走査される。このときも前記走査期間 T s 3 と同様に、選択線 G a は非選択状態であるので、T F T Q 1 3 は遮断し、メモリ回路 M 1 は 3 b i t 目のデータを保持し続ける。そして、6 単位時間の該走査期間 T s 4 に対して、表示に必要な期間は 4 単位時間であるので、余分になる後半の 2 単位時間 (図 1 4 (1 7) の通算時間で 2 5 ~ 3 0 の期間) では、選択線 G a のみが順に選択走査され、メモリ回路 M 1 にストアされていた 3 b i t 目のデータを読み出し、表示が行われる。

【 0 1 0 5 】

したがって、4 ~ 1 b i t の各データの表示時間は、素子回路 A 1 について見れば、 $6 \times 2 + 20 : 4 + 6 + 6 : 8 : 4 = 8 : 4 : 2 : 1$ となる。このように下位ビット側のコンデンサ C 1 にも最上位ビットのデータを取込むことで、前記のブランク表示を用いることのない 3 0 単位時間で 1 フレーム期間 T f を構成しても、4 b i t 目のデータの表示時間を 3 2 単位時間確保し、該 4 b i t のデータをフルに使用した 1 6 階調表示を行うことができる。これによって、2 の n 乗の階調表示を行うにあたって、1 フレーム期間 T f を最小限にすることができる。

【0106】

また、第2のフレーム期間 $Tf2$ では、前記第1のフレーム期間 $Tf1$ におけるメモリ回路 $M1$ およびコンデンサ $C1$ の組合わせと、メモリ回路 $M2$ およびコンデンサ $C2$ の組合わせとにおける表示データが相互に入換えられることになる。これは、 $TFTQ11$ と $TFTQ21$ とで有機EL素子1へ供給する電流量に微妙なバラツキが発生する場合に備え、そのバラツキによる影響を4bit目とそれ以外のbitとへ分散させるためである。このようにすれば、前記 $TFTQ11$ と $TFTQ21$ とで特性に多少のバラツキがあっても、階調性の良い表示を得ることができる。

【0107】

本発明の実施の第6の形態について、図15および図16に基づいて説明すれば、以下のとおりである。

【0108】

図15は、本発明の実施の第6の形態の有機ELディスプレイにおける素子回路 Ae の電気回路図である。この素子回路 Ae は、前述の素子回路 Ab に類似し、対応する部分には同一の参照符号を付して示し、その説明を省略する。注目すべきは、この素子回路 Ae では、前述の素子回路 Ad と同様に、総てのメモリ回路 $M1 \sim M3$ および $TFTQ12 \sim Q32$ に関して、それぞれ電位保持用のコンデンサ $C1 \sim C3$ および前記メモリ回路 $M1 \sim M3$ の書込み／読出し制御用の $TFTQ13 \sim Q33$ が設けられていることである。前記 $TFTQ12 \sim Q32$ は走査信号線 G, S, K によってそれぞれ選択走査され、前記 $TFTQ13 \sim Q33$ は選択線 Ga, Sa, Ka によってそれぞれ選択走査される。

【0109】

このような素子回路 Ae を用いた駆動方法の一例は、図16に示すようになる。この図16の例では、6ラインを走査の単位としており、したがって素子回路は $A1 \sim A6$ であり、図16(6)～(23)に、それぞれのコンデンサ $C1 \sim C3$ での表示データのストア状態を示す。また、5bitのデータを用いるものとし、図16(2)はbit5のデータに対する通算表示時間を示し、図16(3)はbit4のデータに対する通算表示時間を示し、図16(4)はbit3

のデータに対する通算表示時間を示し、図16(5)はbit 2, 1のデータに対する通算表示時間を示す。図16(1)は各走査期間Ts1~Ts5での単位時間表示であり、図16(24)は1フレーム期間Tf内での単位選択時間の通算時間である。

【0110】

第1の走査期間Ts1(図16(24)の通算時間で1~6の期間)では、先ず総ての走査信号線K, S, Gを選択走査してTFTQ12~Q32を導通することで、コンデンサC1~C3に5bit目のデータを取込むとともに、該5bit目のデータの表示が開始される。このとき、選択線Kaもまた選択走査され、TFTQ33が導通することで、メモリ回路M3に該5bit目のデータが取込まれる。このような5bit目のデータの取込み走査が、素子回路A1~A6に対して、順に行われる。したがって、この走査期間Ts1は6単位時間となる。

【0111】

同様に、第2の走査期間Ts2(図16(24)の通算時間で7~12の期間)でも、総ての走査信号線K, S, Gを選択走査してTFTQ12~Q32を導通することで、コンデンサC1~C3に4bit目のデータを取込むとともに、該4bit目のデータの表示が開始される。このときは、選択線Saが選択走査され、TFTQ23が導通することで、メモリ回路M2に該4bit目のデータが取込まれる。そして、コンデンサC3に関しては、5単位時間の表示を行った後、最後の1単位時間では、選択線Kaが選択走査され、メモリ回路M3から5bit目のデータが読出され、以降、1フレーム期間Tfの終了まで、その5bit目のデータの表示が行われる。

【0112】

続いて、第3の走査期間Ts3(図16(24)の通算時間で13~18の期間)では、走査信号線S, Gを選択走査してTFTQ22, Q32を導通することで、コンデンサC2, C3に3bit目のデータを取込むとともに、該3bit目のデータの表示が開始される。その表示は、走査期間Ts3が終了しても、1単位時間だけ継続される。

【0113】

第4の走査期間 T_{s4} （図16（24）の通算時間で20～25の期間）では、走査信号線Gおよび選択線Gaを共に選択走査してTFTQ12、Q13を導通することで、コンデンサC1およびメモリ回路M1に2bit目のデータを取込むとともに、該2bit目のデータの表示が開始される。一方、該走査期間 T_{s4} の開始から2単位時間経過した後に、選択線Saが選択走査され、メモリ回路M2から4bit目のデータが読出され、以降、1フレーム期間 T_f の終了まで、その4bit目のデータの表示が行われる。

【0114】

第5の走査期間 T_{s5} （図16（24）の通算時間で26～31の期間）では、走査信号線Gのみを選択走査してTFTQ12を導通することで、コンデンサC1に1bit目のデータを取込むとともに、該2bit目のデータの表示が開始される。そして、1階調当りの表示時間は4単位時間であるので、該走査期間 T_{s5} の開始から4単位時間経過した後に、選択線Gaが選択走査され、メモリ回路M1から2bit目のデータが読出され、以降の2単位時間に亘って表示される。

【0115】

したがって、5～1bitの各データの表示時間は、素子回路A1について見れば、 $(6+20) \times 2$ （2倍の電流量による重み分） $+ 6 \times 2 : 5 \times 2$ （前記2倍の重み分） $+ 6 \times 2 + 10 : 9 + 7 : 6 + 2 : 4 = 64 : 32 : 16 : 8 : 4 = 16 : 8 : 4 : 2 : 1$ となる。

【0116】

このようにしてもまた、前記のブランク表示を用いることなく、5bitのデータをフルに利用した64階調の表示を行うことができる。そして、1フレーム期間 T_f は、 4 （1階調当りの単位時間） $\times (1+2+4+8+16) \div 4$ （4つのTFTQ11, 21; Q31a, Q31bで電流を供給するので4で割る） $= 31$ 単位時間となる。

【0117】

本発明の実施の第7の形態について、図17～図19に基づいて説明すれば、

以下のとおりである。

【0118】

図17は、本発明の実施の第7の形態の有機ELディスプレイにおける縦方向に隣接した任意のラインの素子回路 A_{ij} 、 A_{i+1j} の電気回路図である。これらの素子回路 A_{ij} 、 A_{i+1j} は、相互に等しく形成される前述の素子回路 A_e を応用したものである。ただし、コンデンサ C_1 の一方の端子は前記TFTQ11に接続され、他方の端子はTFTQ15を介して前記電源線 V に接続される。このTFTQ15はp型であり、n型のTFTQ13とともに、ゲートは前記選択線 G_a に共通に接続される。

【0119】

したがって、p型TFTQ15によるコンデンサ C_1 からの表示データの読出しと、n型TFTQ13によるメモリ回路 M_1 からの表示データの読出しとが択一的に行われ、その読出された表示データがTFTQ11のゲートに与えられることになる。このように構成すると、メモリ回路 M_1 でコンデンサ C_1 をチャージUP/DOWNするのに比べて、消費電力のロスを防げるので、低消費電力化に効果を有する。なお、このTFTQ15を用いることによる効果は、前述の各素子回路 A 、 A_a 、…等の他の素子回路に関しても、同様に得ることができる。

【0120】

これらの素子回路 A_{1j} 、…、 A_{ij} 、 A_{i+1j} 、…、 A_{mj} は、奇数フィールドと偶数フィールドとで、前記縦方向に隣接した素子回路、たとえば A_{ij} に対して、 A_{i+1j} と、 A_{i-1j} とが交互に組合わせられて駆動される。そして、たとえば画素数が縦480×横640のディスプレイにおいて、入力信号がインターレース信号であり、1フィールド当り240ライン分のデータしかない場合等に適用することができる。以下、この有機ELディスプレイでは、説明の簡略化のために白黒表示として、素子回路 $A_{1j} \sim A_{mj}$ の数 m も、11ライン分とする。

【0121】

前記インターレース走査において、前記の素子回路 $A_{1j} \sim A_{11j}$ を応用した例が、図18に示す駆動方法である。ここでは、後述するように、第1のフィ

ールド期間 $Tf1$ において、素子回路 $A1j$, $A3j$, $A5j$, $A7j$, $A9j$ (図18では列番号 j は省略) と、素子回路 $A2j$, $A4j$, $A6j$, $A8j$, $A10j$ とを、あたかも1つの素子回路の如く扱って表示を行い、第2のフィールド期間 $Tf2$ において、素子回路 $A2j$, $A4j$, $A6j$, $A8j$, $A10j$ と素子回路 $A3j$, $A5j$, $A7j$, $A9j$, $A11j$ とを、あたかも1つの素子回路の如く扱って表示を行っている。そして、実際に選択走査されるのは、1本の走査信号線 $G1 \sim G11$ の内、各フィールドで1本おきの6本である。

【0122】

図18では、素子回路 $A1j \sim A11j$ の表示状態を、図18(5)～(15)でそれぞれ示す。図18(2)は $bit4$ のデータに対する通算表示時間を示し、図18(3)は $bit3$ のデータに対する通算表示時間を示し、図6(4)は $bit2, 1$ のデータに対する通算表示時間を示す。図18(1)は各走査期間 $Ts1 \sim Ts4$ での単位時間表示であり、図18(16)は1フィールド期間 Tf 内での単位選択時間の通算時間である。

【0123】

第1フィールド期間 $Tf1$ では、素子回路 $A2ij$ と素子回路 $A2i-1j$ とを一对として、第1の走査期間 $Ts1$ (図18(16)の通算時間1～6の期間) で、素子回路 $A2i-1j$ (奇数ラインの素子回路) の $TFTQ13$ を導通状態とし、 $TFTQ15$ を非導通状態とし、素子回路 $A2ij$ (偶数ラインの素子回路) の $TFTQ13$ を非導通状態とし、 $TFTQ15$ を導通状態としながら、データ信号線 Dj から、各素子回路 $A2i-1j$ のメモリ回路 $M1$ と、各素子回路 $A2ij$ のコンデンサ $C1$ とに、共に4bit目のデータを取込み、表示が開始される。表示は、あたかも走査信号線 G が6本分であるかの如く行うので、この走査期間 $Ts1$ は6単位時間となる。

【0124】

次に、第2の走査期間 $Ts2$ (図18(16)の通算時間7～12の期間) で、素子回路 $A2i-1j$ の $TFTQ13$ を非導通状態とし、 $TFTQ15$ を導通状態とし、素子回路 $A2ij$ の $TFTQ13$ を導通状態とし、 $TFTQ15$ を非導通状態としながら、データ信号線 Dj から、各素子回路 $A2ij$ のメモリ回路

M1と、各素子回路A2i-1jのコンデンサC1とに、共に3bit目のデータを取込み、表示が開始される。表示は、あたかも走査信号線Gが6本分であるかの如く行うので、この走査期間Ts2も6単位時間となる。

【0125】

本実施の形態では、時間分割階調の1階調当りの表示時間を4単位時間としてるので、1フィールド期間Tfは、4（1階調当りの単位時間）×（1+2+4+8）÷2（2つの素子回路A2i-1j，A2ijを用いて表示しているので、2で割る）=30単位時間となる。したがって、4bit目のデータの表示期間の重みは4×8=32単位時間であり、そのうち素子回路A2ijを用いて表示した期間が既に6単位時間あるので、素子回路A2i-1jを用いて表示する期間は、合計32-6=26単位時間あればよい。これは1フィールド期間Tfよりも4単位時間だけ短いので、その分前記3bit目のデータを表示することとして、素子回路A2i-1jが3bit目のデータを表示する時間は4単位時間となる。この時間は、1走査期間Tsより短いので、前記4単位時間遅れた通算時間11～16の期間に、走査信号線G2i-1を用いた第1の選択走査とは独立して、前記選択線Ga2i-1を用いた第2の選択走査が行われ、素子回路A2i-1jでは、メモリ回路M1から4bit目のデータが読出されて、その4bit目のデータの表示に復帰する。この後、第1フィールド期間Tf1の終了まで、素子回路A2i-1jでは、走査信号線G2i-1は選択されず、また選択線Ga2i-1によっては、TFTQ13を導通状態とし、TFTQ15を非導通状態として保持される。

【0126】

続いて、第3の走査期間Ts3（図18（16）の通算時間13～18の期間）では、前述のように素子回路A2i-1jのTFTQ13を導通状態のままとし、TFTQ15を非導通状態のままとして、4bit目のデータを表示するとともに、素子回路A2ijのTFTQ13を非導通状態とし、TFTQ15を導通状態とし、データ信号線Djから、各素子回路A2ijのコンデンサC1に、2bit目のデータを取込み、表示が開始される。この走査期間Ts3も6単位時間であるけれども、2bit目のデータの表示期間は8単位時間なので、該走

査期間 T_{s3} よりも 2 単位時間だけ長い。したがって、2 単位時間待ってから次の第 4 の走査期間 T_{s4} に入る。

【 0 1 2 7 】

この走査期間 T_{s4} (図 1 8 (1 6) の通算時間 2 1 ~ 2 6 の期間) でも、素子回路 A_{2i-1j} の $TFTQ_{13}$ を導通状態のままとし、 $TFTQ_{15}$ を非導通状態のままとして、4 bit 目のデータを表示するとともに、素子回路 A_{2ij} の $TFTQ_{13}$ を非導通状態とし、 $TFTQ_{15}$ を導通状態とし、データ信号線 D_j から、各素子回路 A_{2ij} のコンデンサ C_1 に、1 bit 目のデータを取り込み、表示が開始される。この 1 bit 目のデータの表示期間は 4 単位時間なので、該走査期間 T_{s4} よりも 2 単位時間短い。そこで、走査信号線 G_{2i} を用いた第 1 の選択走査とは独立して、前記選択線 G_{a2i} を用いた第 2 の選択走査が行われ、メモリ回路 M_1 から 3 bit 目のデータが読出されて、その 3 bit 目のデータの表示に復帰する。この 3 bit 目のデータは、前記素子回路 A_{2i-1j} の 4 bit 目のデータとともに、第 1 フィールド期間 T_{f1} の終了まで表示される。

【 0 1 2 8 】

第 2 フィールド期間 T_{f2} では、素子回路 A_{2ij} と素子回路 A_{2i+1j} とを一对として、素子回路 $A_{2i \pm 1j}$ と素子回路 A_{2ij} との関係が第 1 フィールド期間 T_{f1} とは逆になる。本発明の構成は、前述のような 1 つの有機 EL 素子 1 と複数の駆動用 $TFTQ_{12}$ 、 Q_{22} 等を組合わせた場合だけでなく、本実施の形態のようにインターレース走査であたかも 1 つの素子回路が複数の副素子回路から構成されているように扱える場合や、ノンインターレース走査でも、実際に 1 つの素子回路が複数の副素子回路から構成されているような場合でも有効となる。また、本発明の構成は、素子回路 A 、 A_a 、 A_b 、… (以下、代表して参照符 A で示す) を構成する有機 EL 素子 1 を複数のレベルで発光させられれば適用可能であり、上記の各実施の形態にある複数の TFT を用いる場合に限定されない。

【 0 1 2 9 】

このように構成することによって、時間分割階調制御を行うにあたって、通常



のインターレース走査に対応した表示データに対して、共通のデータ信号線Dを用いて、相互に隣接する奇数ラインの素子回路A $2i-1j$ と偶数ラインの素子回路A $2ij$ との選択走査を工夫するだけで、特別な部分画素を用いなくても、動画偽輪郭の発生を抑えることができる。たとえば、画素数が縦480×横640の表示装置の場合、入力信号がインターレース信号であれば1フィールド当たり240本分のデータしかないので、画面縦方向480本のうち飛び飛びに240本を点灯させるか、縦方向2画素まとめて480本総てを点灯させるかの選択となり、このとき縦方向2画素まとめて480本総てを点灯させることで、特別な部分画素を設けなくても、動画偽輪郭の発生を抑えることができる。

【0130】

ところで、上記の各実施の形態から理解されたとおり、本発明の構成では、素子回路Aに配置したメモリ回路M1, M2, …の数より多いbit数の階調表示を実現するとき、適切なタイミングで素子回路A外から表示データを取込まなければならない。しかしながら、通常の映像信号では、各bitのデータは各素子回路Aの単位でまとめて転送される。したがって、上記各素子回路A単位の表示データをbit毎のデータに変換する必要がある。そのためのシステム構成の一例が、図19に示す表示装置11の構成である。この表示装置11では、素子回路Aは図11で示す素子回路Acで示している。

【0131】

すなわち、この表示装置11では、外部の回路から前記各素子回路Acの単位で送られてきた表示データは、RAM12に一旦貯えられる。また、その素子回路Ac単位の表示データの同期信号がコントローラ13へ入力される。そして、コントローラ13によって前記RAM12を制御し、各素子回路Ac単位の表示データの書込みと、bit単位に変換したデータの読出しとを行い、必要なタイミングでデータ変換を行い、素子回路Ac ij のデータ信号線D j へ供給する構成である。

【0132】

前記RAM12は、フレームメモリ等を実現するものであるが、どのようなフォーマットに変換したらよいかは表示装置毎に異なるので、このフレームメモリ

やフォーマット変換用の前記コントローラ 13 を表示パネルと一体化することが好ましい。このとき、前記メモリ回路 M1, M2, … を T F T を用いて構成できるのであるから、同様に該フレームメモリやコントローラも、T F T を用いて一体形成することが好ましい。

【 0 1 3 3 】

さらにまた、上記の素子回路 A, A a, A b, … は、時間分割階調を用いて表示する（これを動画表示と記す）だけでなく、有機 E L 素子 1 に対応したメモリ回路 M1, M2, … を用いて時間分割階調を用いてない表示（これを静止画表示と記す）を行うことも可能である。この場合、前記フレームメモリとコントローラとを表示パネルと一体化することで、前記動画表示時と静止画表示時とで各々最適な b i t データを生成することが可能となるので、好ましい。

【 0 1 3 4 】

なお、前記 R A M 1 2 はスタティックメモリから構成されていなくとも、1 フレーム期間 T f 以上の保持時間を持ったダイナミックメモリから構成されてもよい。特に、素子回路 A c に配置したメモリ回路 M1, M2 がスタティックメモリ構成である場合、そのメモリ回路 M1, M2 に対応する上位 b i t データを貯える前記 R A M 1 2 のメモリは、ダイナミックメモリの方が、R A M サイズ等を小さくできるので好ましい。また、上記各実施の形態で示した駆動方法は、素子回路 A に配置したメモリ回路 M1, M2, … の数より多い所望とする階調数の表示を最低限の駆動で実現する手法であるけれども、必要な階調数が前記メモリ回路 M1, M2, … の数以下であれば、上記手法を使わずに、各素子回路 A に配置したメモリ回路 M1, M2, … だけで表示を行うようにしてもよい。

【 0 1 3 5 】

また、上記の各実施の形態では、記憶素子として 2 つの C M O S インバータ I N V 1, I N V 2 を用いたスタティックメモリ構成を取っているけれども、1 フレーム期間 T f 1 に亘って電位を保持できるのであれば、コンデンサ等を用いたダイナミックメモリ構成であっても構わない。たとえば、素子回路 A のメモリ回路 M1, M2 のうち、一方をコンデンサとしたものは、図 5 の素子回路 A a においてメモリ回路 M1 を削除したものと考えることができ、この場合、コンデンサ

C 1 が時間分割階調制御される。また、素子回路 A のメモリ回路 M 1, M 2 のうち、両方をコンデンサとしたものは、図 1 3 の素子回路 A d においてメモリ回路 M 1, M 2 を削除したものと考えることができ、この場合、コンデンサ C 1, C 2 の少なくとも一方が時間分割階調制御される。

【 0 1 3 6 】

また、記憶素子としてもコンデンサを用い、そのコンデンサによって電位保持手段として用いるコンデンサ C 1, C 2 のデータの書換えを行う場合には、記憶素子として用いるコンデンサの容量を、電位保持手段として用いるコンデンサの容量より大きく（概ね 2 倍以上、好ましくは 1 0 倍以上で）なければならない。

【 0 1 3 7 】

さらにまた、前記有機 E L 素子 1 の構造としては、たとえばガラス基板の上に I T O 等の透明な陽極を形成し、その上に有機多層膜、さらに A 1 等の陰極を形成した構成で実現することができる。また、前記有機多層膜にも幾つかの構造があるけれども、たとえば、正孔入層（または陽極バッファ層）として C u P c を、正孔輸送層として T P D を、発光層として D P V B i、Z n (o x z) 2、D C M をドーパントとした A 1 q 等を、電子輸送層としては A 1 q 等を積層した構成が好ましい。

【 0 1 3 8 】

一方、上述のような有機 E L 素子 1 を駆動するための T F T Q 1 1, Q 2 1 等は、電荷移動度の大きな多結晶シリコンプロセスで製作された T F T を用いる必要があり、たとえば特開平 1 0 - 3 0 1 5 3 6 号公報などで実現することができる。上記の工程では、プロセスの最高温度を、ゲート絶縁膜形成時の 6 0 0 ° C 程度に抑えることができ、高耐熱性ガラスを使用することができる。

【 0 1 3 9 】

【発明の効果】

本発明の表示装置は、以上のように、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、記憶素子およびそれに対を成す前記アクティブ素子を複数組設けて、輝度レ

ベルを設定するそれら複数の記憶素子の電圧または電流の和出力で前記電気光学素子を表示駆動するようにし、さらに一方の記憶素子に対応したアクティブ素子を時間分割階調駆動する。

【 0 1 4 0 】

それゆえ、デジタル階調制御を時間分割階調制御で実現するにあたって、中間値以上の表示データでは他方の記憶素子は1フレーム期間を略発光し続けることになり、中間値以上の表示データと中間値未満の表示データとの境界があり、それが移動してゆく場合に、動画偽輪郭の発生を抑えることができる。

【 0 1 4 1 】

また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組以上とするとともに、第1のアクティブ素子または記憶素子の出力電位を保持して前記電気光学素子に与える電位保持手段および前記電位保持手段と第1の記憶素子との間に設けられる第3のアクティブ素子をさらに設け、第1のアクティブ素子の選択走査とは独立して第3のアクティブ素子を選択走査することで、表示データを直接電位保持手段へ書込むことができるとともに、第1の記憶素子へ書込んだ表示データを読出して前記電位保持手段へ書込むことができるようにする。

【 0 1 4 2 】

それゆえ、一旦第1の記憶素子へ書込んだデータを第3のアクティブ素子の選択走査によって任意のタイミングで電位保持手段へ読出し、表示することができ、同じ表示データを用いて表示駆動する場合、データ信号線からのデータの再書込みを不要とすることができる。また、前記選択走査に要する時間を短縮し、1フレーム期間を短縮することができる。また、第1の記憶素子から表示データを読出して電位保持手段に設定するので、データ信号線やそれに接続される浮遊容量をチャージアップする必要はなく、低消費電力化を図ることもできる。

【 0 1 4 3 】

さらにまた、本発明の表示装置は、以上のように、前記電位保持手段に関連して、その電位を予め定める初期化電位に設定する第4のアクティブ素子をさらに備え、第1のアクティブ素子の選択走査によることなく、該第4のアクティブ素

子を介して電位保持手段を前記予め定める初期化電位として、そのストアデータを消去する。

【 0 1 4 4 】

それゆえ、第2のアクティブ素子側での表示の重みを2の n 乗レベルとし、第1のアクティブ素子側での表示の重みを(2の n 乗-1)レベルとし、通常の2進数データをそのまま使用することができる。

【 0 1 4 5 】

また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子は2組以上として、下位ビット側となる第1番目の記憶素子の出力による前記電気光学素子の電流駆動能力を基準に、第2番目以上の記憶素子の出力による前記電気光学素子の電流駆動能力を、前記第1番目の記憶素子の出力による電流駆動能力の2の乗数倍に順次設定する。

【 0 1 4 6 】

それゆえ、1フレーム期間に前記第2番目以降の記憶素子の出力による電気光学素子の発光が続くことになるので、動画偽輪郭の発生を、一層少なくすることができる。

【 0 1 4 7 】

さらにまた、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組とし、さらにそれぞれに電位保持手段を設け、その電位保持手段と記憶素子との間に第3のアクティブ素子をさらに設けることで、電気光学素子を表示駆動するための表示データの設定の自由度を向上しつつ、第1のアクティブ素子側と第2のアクティブ素子側とで共通の構成とし、周期的に切換えを行う。

【 0 1 4 8 】

それゆえ、電気光学素子側で、第1のアクティブ素子に対応した構成と第2のアクティブ素子に対応した構成とで電気光学素子の特性にバラツキがあっても、平均した輝度を観察することになるので、階調性の良い表示を得ることができる。

【 0 1 4 9 】



また、本発明の表示装置は、以上のように、前記記憶素子ならびにアクティブ素子を2組以上として、そのうち2組のそれぞれに電位保持手段および第3のアクティブ素子をさらに備え、下位ビットの表示データの与えられるアクティブ素子側でも、最上位ビットの表示データの書込みを行う。

【0150】

それゆえ、2の n 乗の階調表示を行う場合に、最上位ビットのデータの表示を、一方のアクティブ素子側のみで行うと、他方のアクティブ素子側では、最小表示期間のブランク表示が必要になるのに対して、下位ビットの表示データの与えられるアクティブ素子にも、その最上位ビットのデータの表示を行わせることで、前記ブランク表示を用いることなく、したがって1フレーム期間を最小限にして、前記2の n 乗の階調表示を行うことができる。

【0151】

さらにまた、本発明の表示装置は、以上のように、マトリクス状に配列された各電気光学素子に対応して設けたアクティブ素子によって記憶素子に表示データを取込み、その記憶素子の出力で前記電気光学素子を表示駆動するようにした表示装置において、任意の i ライン目の電気光学素子に対して、隣接する $i+1$ ライン目と $i-1$ ライン目との電気光学素子をフィールド周期で切換えて対を成し、それら一対の電気光学素子に、同一の表示データの最上位ビットと残余の下位ビットとを前記フィールド周期毎に交互に切換え表示させる。

【0152】

それゆえ、時間分割階調制御を行うにあたって、通常のインターレース走査に対応した表示データに対して、共通のデータ信号線を用いて、隣接する奇数ラインの電気光学素子に対応したアクティブ素子と偶数ラインの電気光学素子に対応したアクティブ素子との選択走査を工夫するだけで、動画偽輪郭の発生を抑えることができる。

【図面の簡単な説明】

【図1】

本発明の実施の第1の形態の有機ELディスプレイを実現する素子回路の電気回路図である。

【図 2】

図 1 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 3】

図 2 で示す駆動方法によって動画偽輪郭が抑制されていることを説明するための図である。

【図 4】

図 1 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の他の例を示す図である。

【図 5】

本発明の実施の第 2 の形態の有機 E L ディスプレイにおける素子回路の電気回路図である。

【図 6】

図 5 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 7】

図 5 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の他の例を示す図である。

【図 8】

本発明の実施の第 3 の形態の有機 E L ディスプレイにおける素子回路の電気回路図である。

【図 9】

図 8 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 1 0】

有機 E L 素子の発光輝度と発光効率との関係の一例を示すグラフである。

【図 1 1】

本発明の実施の第 4 の形態の有機 E L ディスプレイにおける素子回路の電気回路図である。

【図 1 2】

図 1 1 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 1 3】

本発明の実施の第 5 の形態の有機 E L ディスプレイにおける素子回路の電気回路図である。

【図 1 4】

図 1 3 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 1 5】

本発明の実施の第 6 の形態の有機 E L ディスプレイにおける素子回路の電気回路図である。

【図 1 6】

図 1 5 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 1 7】

本発明の実施の第 7 の形態の有機 E L ディスプレイにおける縦方向に隣接した任意のラインの素子回路の電気回路図である。

【図 1 8】

図 1 7 で示す素子回路を用いたインターレース走査の駆動方法の一例を示す図である。

【図 1 9】

本発明に適用される各素子回路単位の表示データを b i t 毎のデータに変換するシステム構成の一例を示す図である。

【図 2 0】

典型的な従来技術である複数 T F T を用いてデジタル階調表示を実現する素子回路の電気回路図である。

【図 2 1】

他の従来技術である画素分割階調を用いてデジタル階調表示を実現する素子回



路の電気回路図である。

【図 2 2】

さらに他の従来技術である時間分割階調を用いてデジタル階調表示を実現する素子回路の電気回路図である。

【図 2 3】

図 2 2 で示す素子回路を用いた有機 E L ディスプレイの駆動方法の一例を示す図である。

【図 2 4】

図 2 3 の駆動方法によって動画偽輪郭が発生するメカニズムを説明するための図である。

【図 2 5】

実際の表示画面での前記動画偽輪郭の様子を示す図である。

【符号の説明】

- 1 有機 E L 素子 (電気光学素子)
- 1 1 表示装置
- 1 2 R A M
- 1 3 コントローラ
- A, A a, A b, A c, A d, A e 素子回路
- A i j, A i + 1 j ; A c i j 素子回路
- C 1 ~ C 3 コンデンサ (電位保持手段)
- D データ信号線
- G ; K ; S 走査信号線
- G a, G b ; K a ; S a 選択線
- I N V 1, I N V 2 C M O S インバータ
- M 1 第 1 のメモリ回路 (第 1 の記憶素子)
- M 2 第 2 のメモリ回路 (第 2 の記憶素子)
- M 3 第 3 のメモリ回路 (第 3 の記憶素子)
- Q 1 ~ Q 4 T F T
- Q 1 1 ; Q 2 1 ; Q 3 1 a, Q 3 1 b T F T (電気光学素子)

Q 1 2 T F T (第 1 のアクティブ素子)

Q 1 3, Q 2 3, Q 3 3 T F T (第 3 のアクティブ素子)

Q 2 2 T F T (第 2 のアクティブ素子)

Q 3 2 T F T

Q 1 4 T F T (第 4 のアクティブ素子)

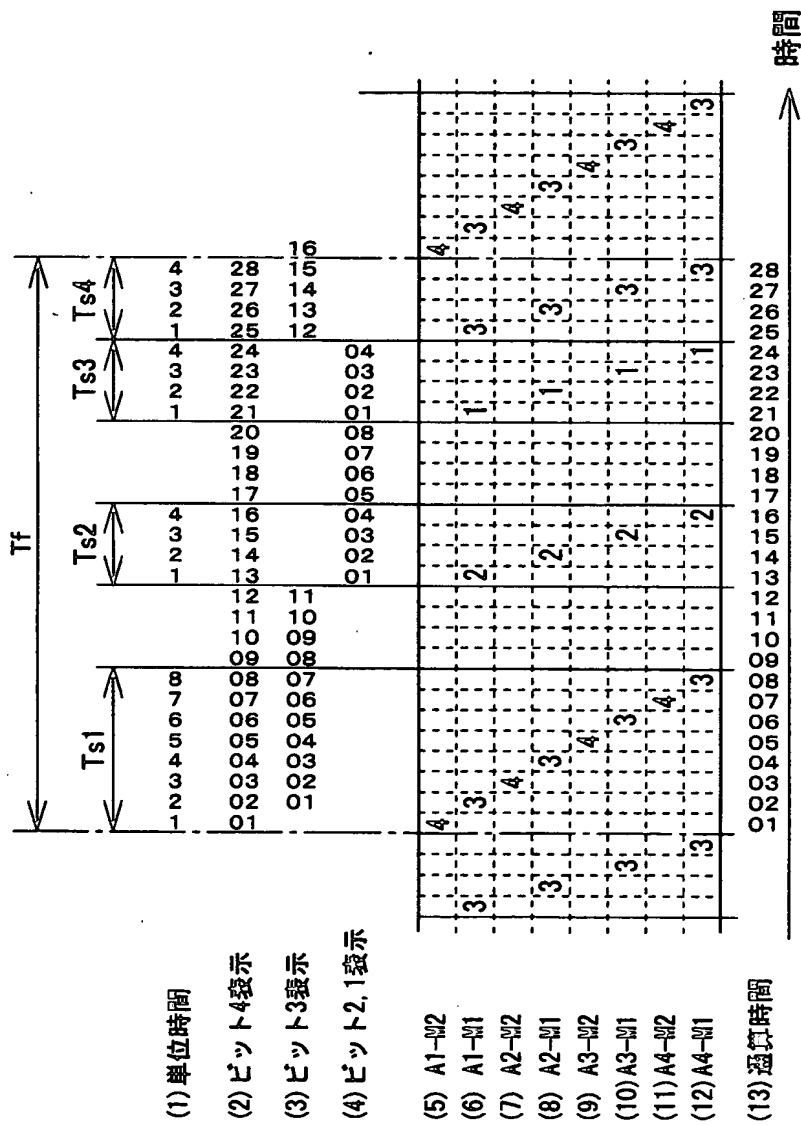
Q 1 5 T F T

V 電源線

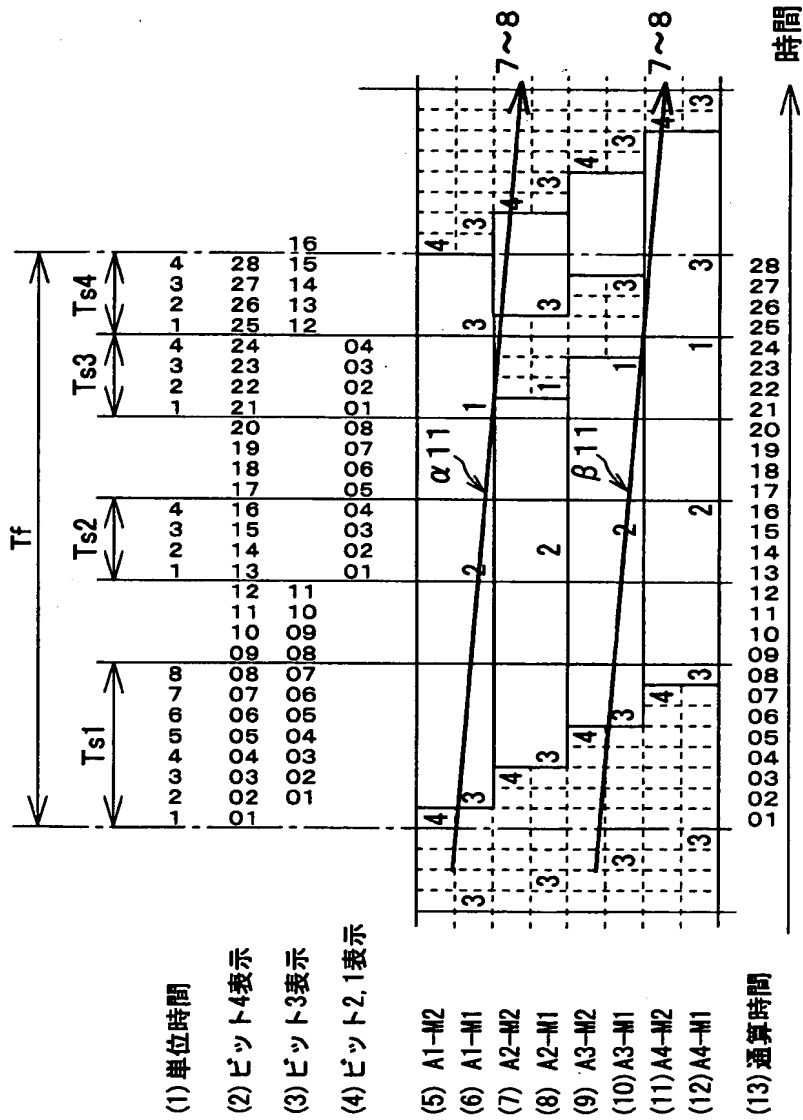
【图 1】



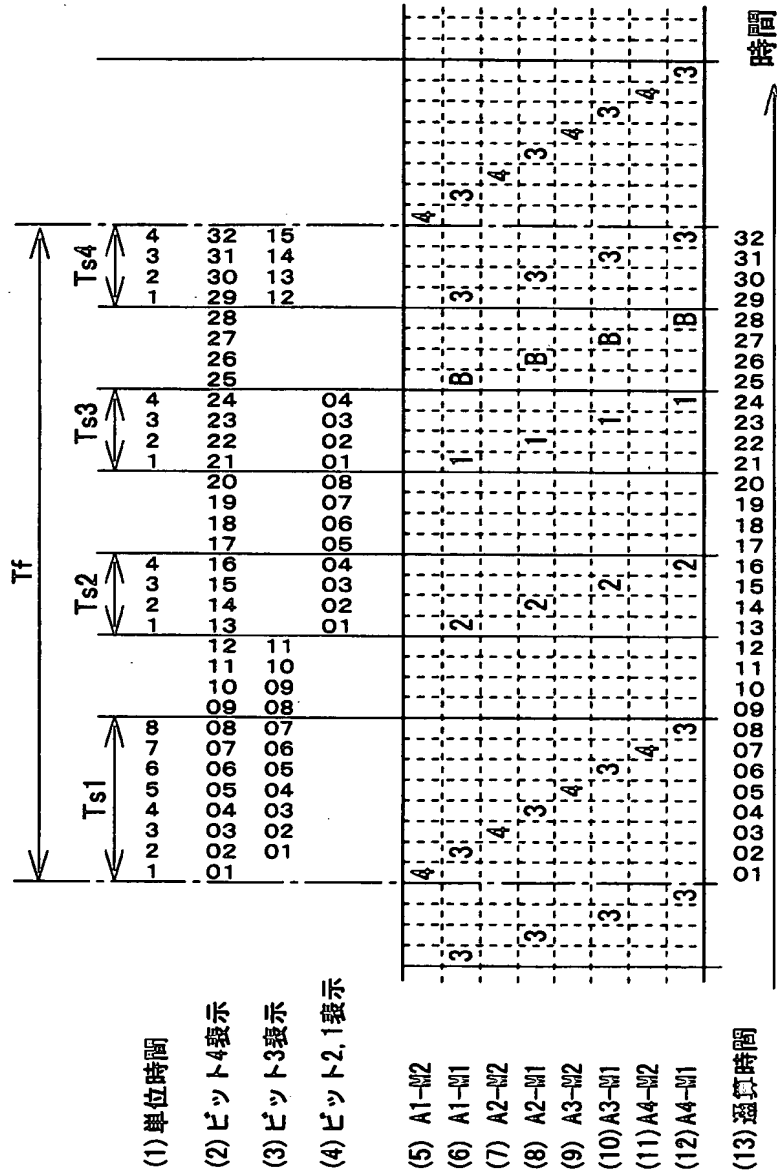
【図 2】



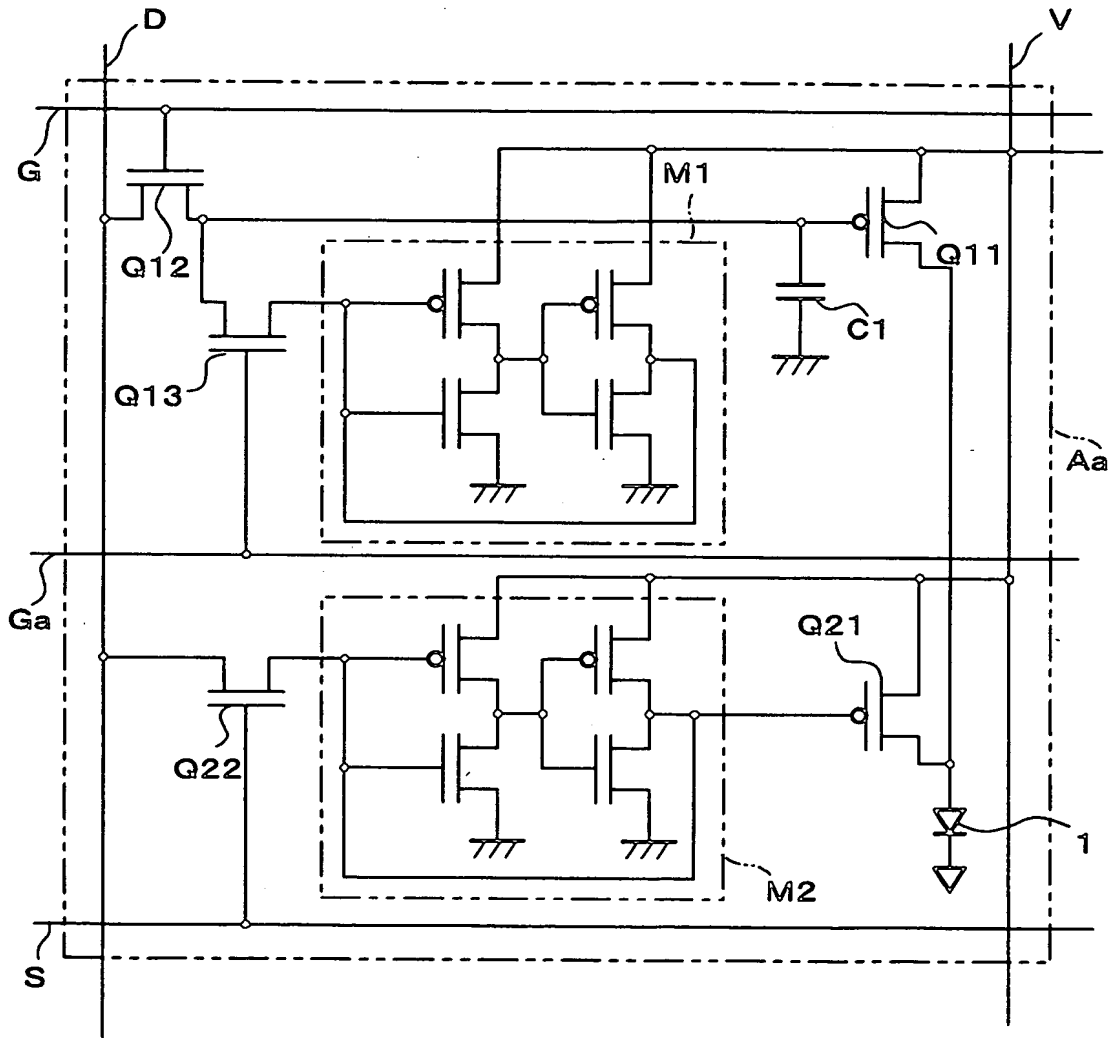
【図3】



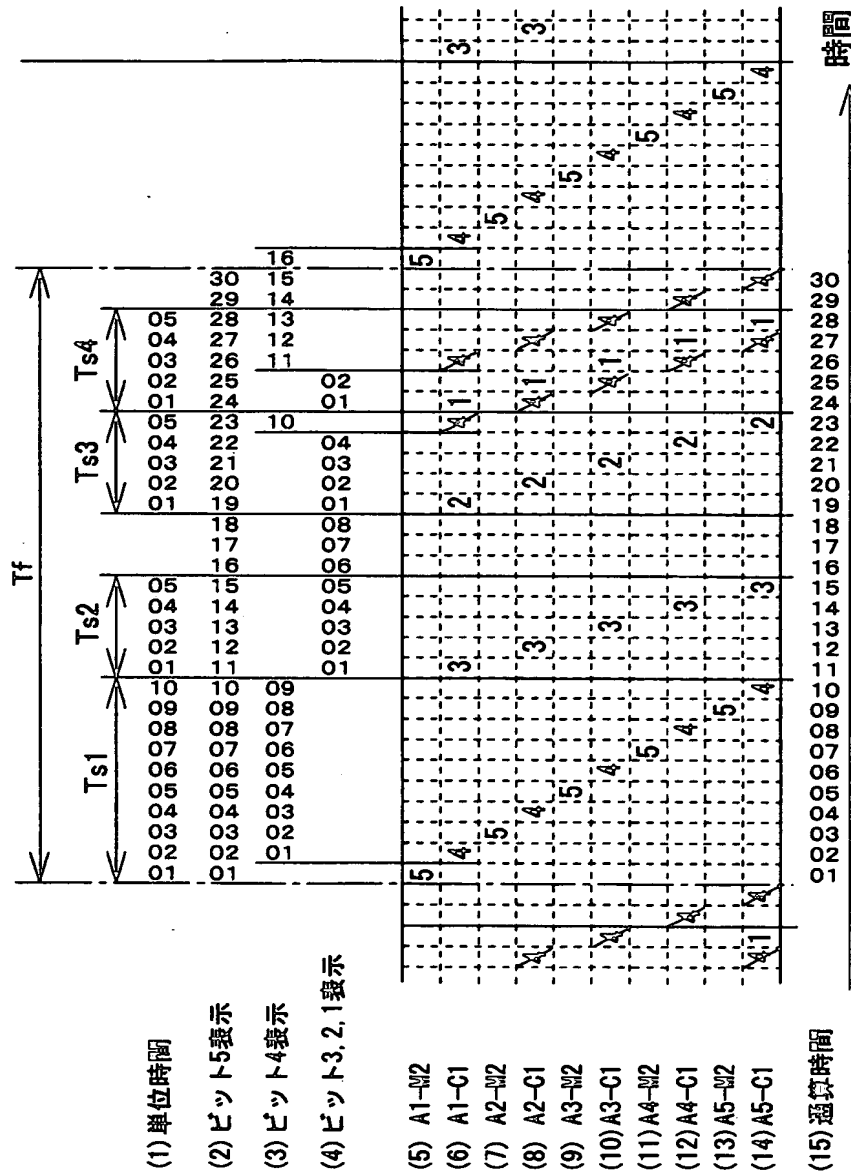
【図 4】



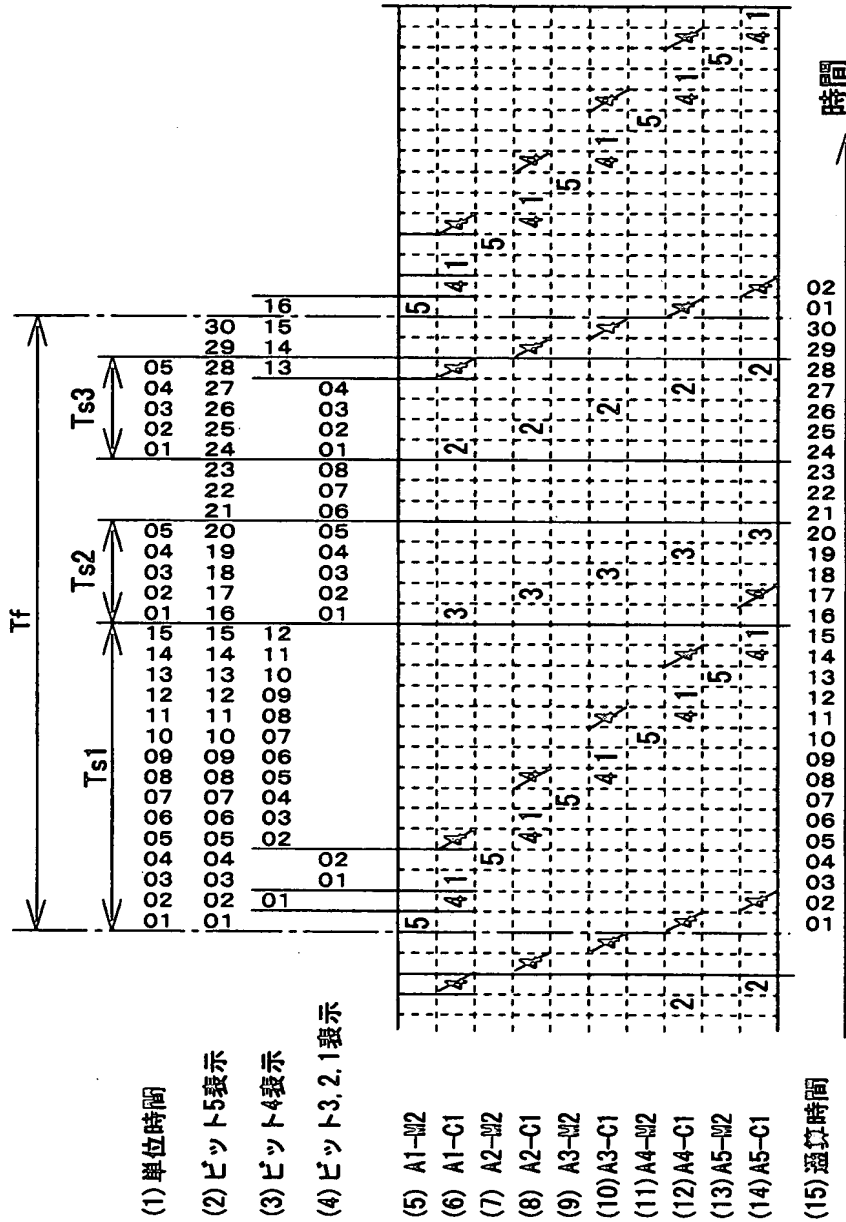
【図 5】



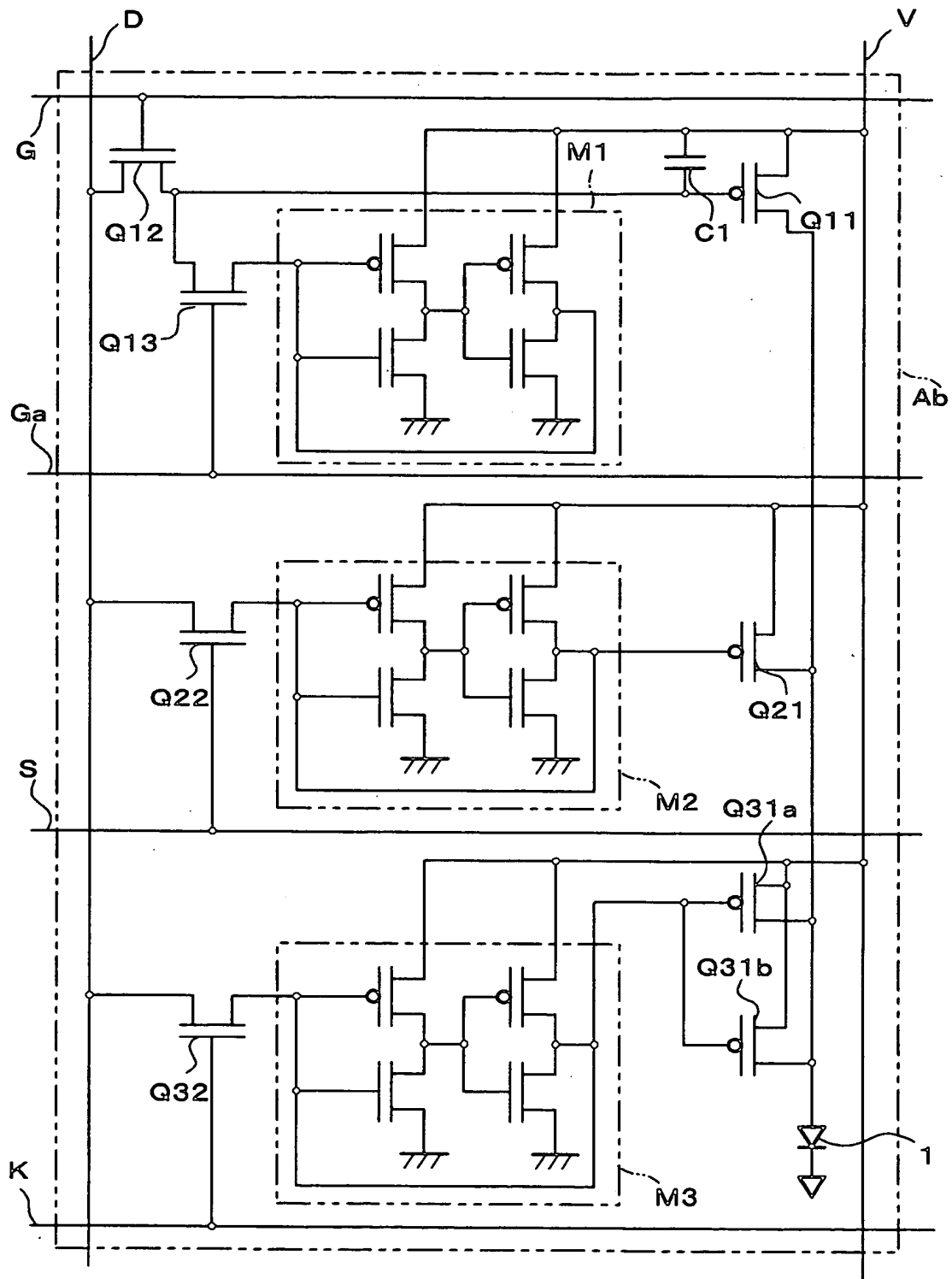
【図 6】



【図 7】



【図 8】

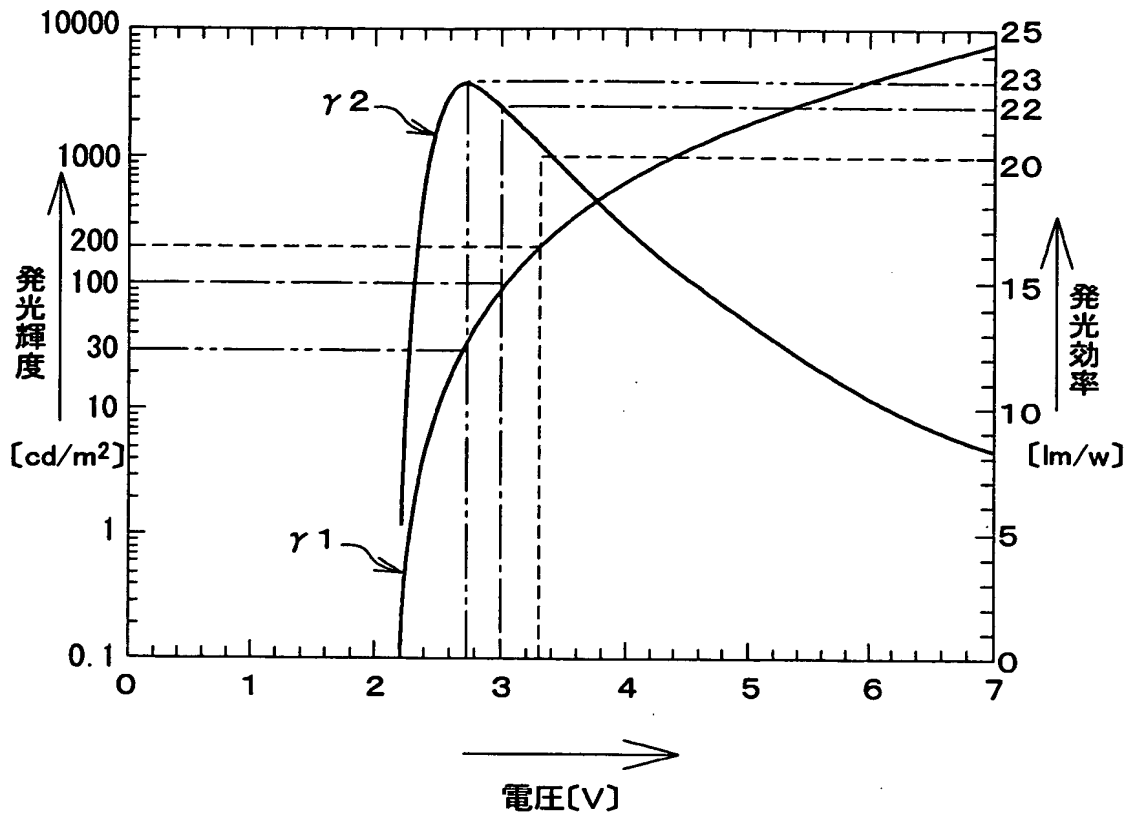


(1) 単位時間
 (2) ビット5表示
 (3) ビット4表示
 (4) ビット3表示
 (5) ビット2.1表示

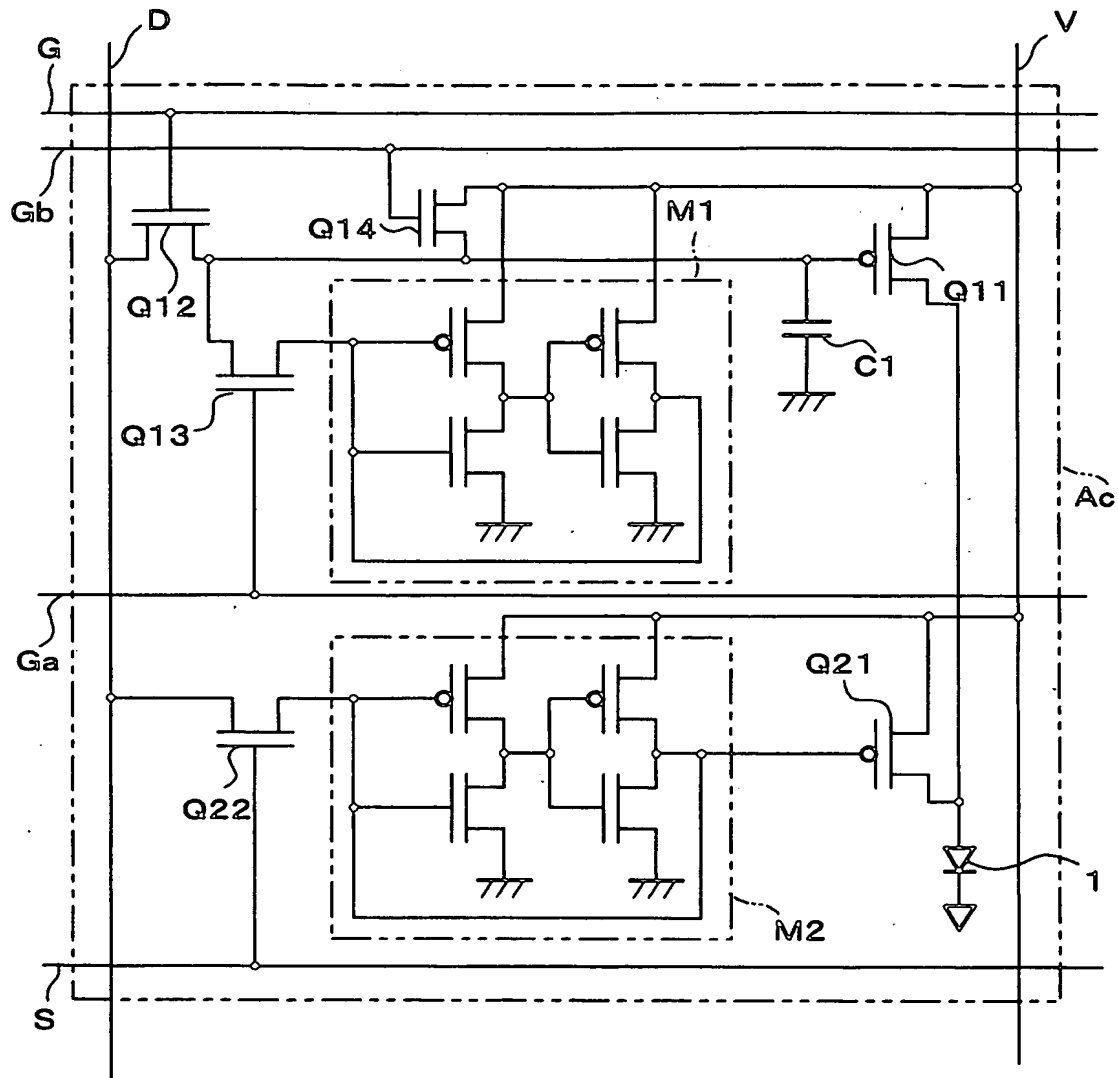
(6) A1-M3
 (7) A1-M2
 (8) A1-C1
 (9) A2-M3
 (10) A2-M2
 (11) A2-C1
 (12) A3-M3
 (13) A3-M2
 (14) A3-C1
 (15) A4-M3
 (16) A4-M2
 (17) A4-C1
 (18) A5-M3
 (19) A5-M2
 (20) A5-C1
 (21) A6-M3
 (22) A6-M2
 (23) A6-C1

(24) 過算時間

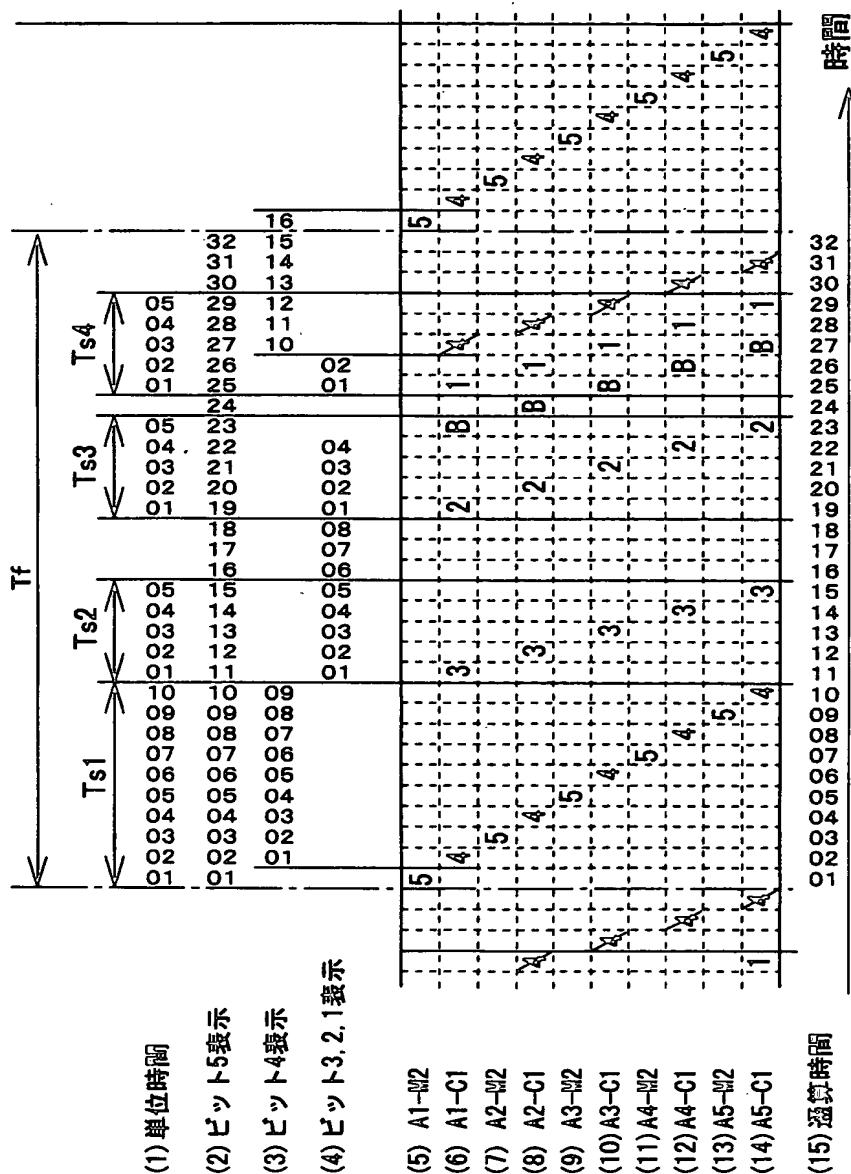
【図 10】



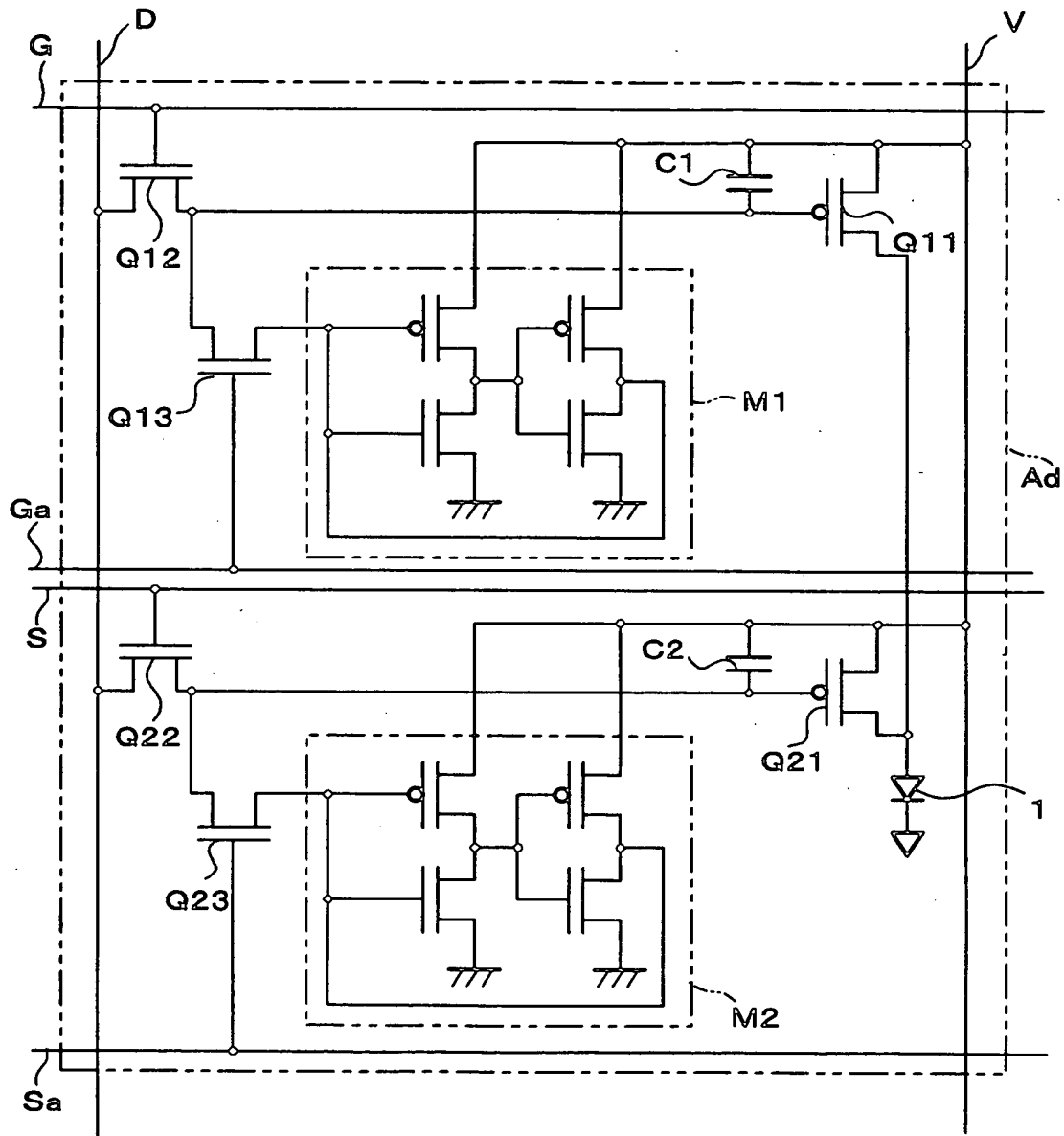
【図 11】



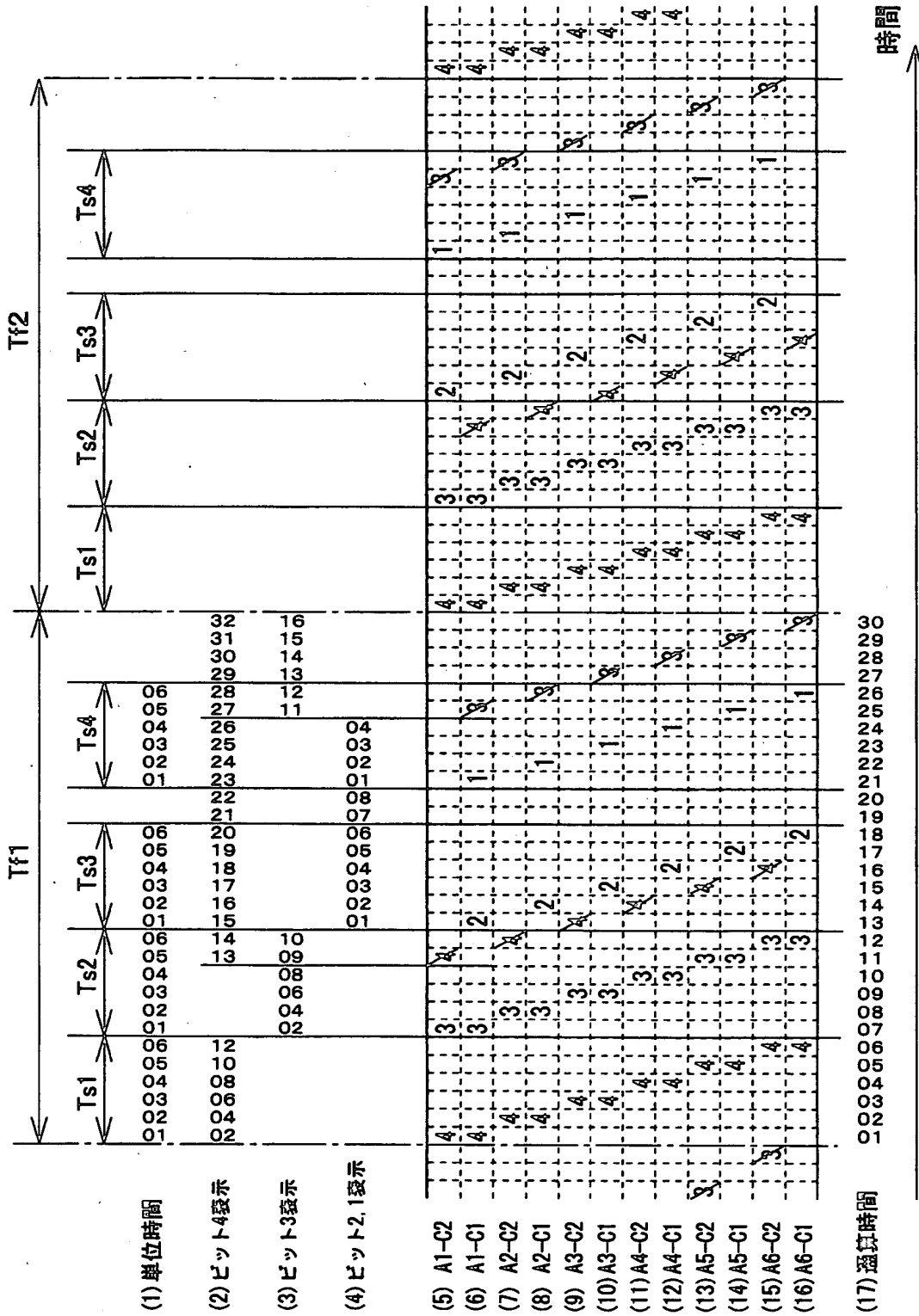
【図 12】



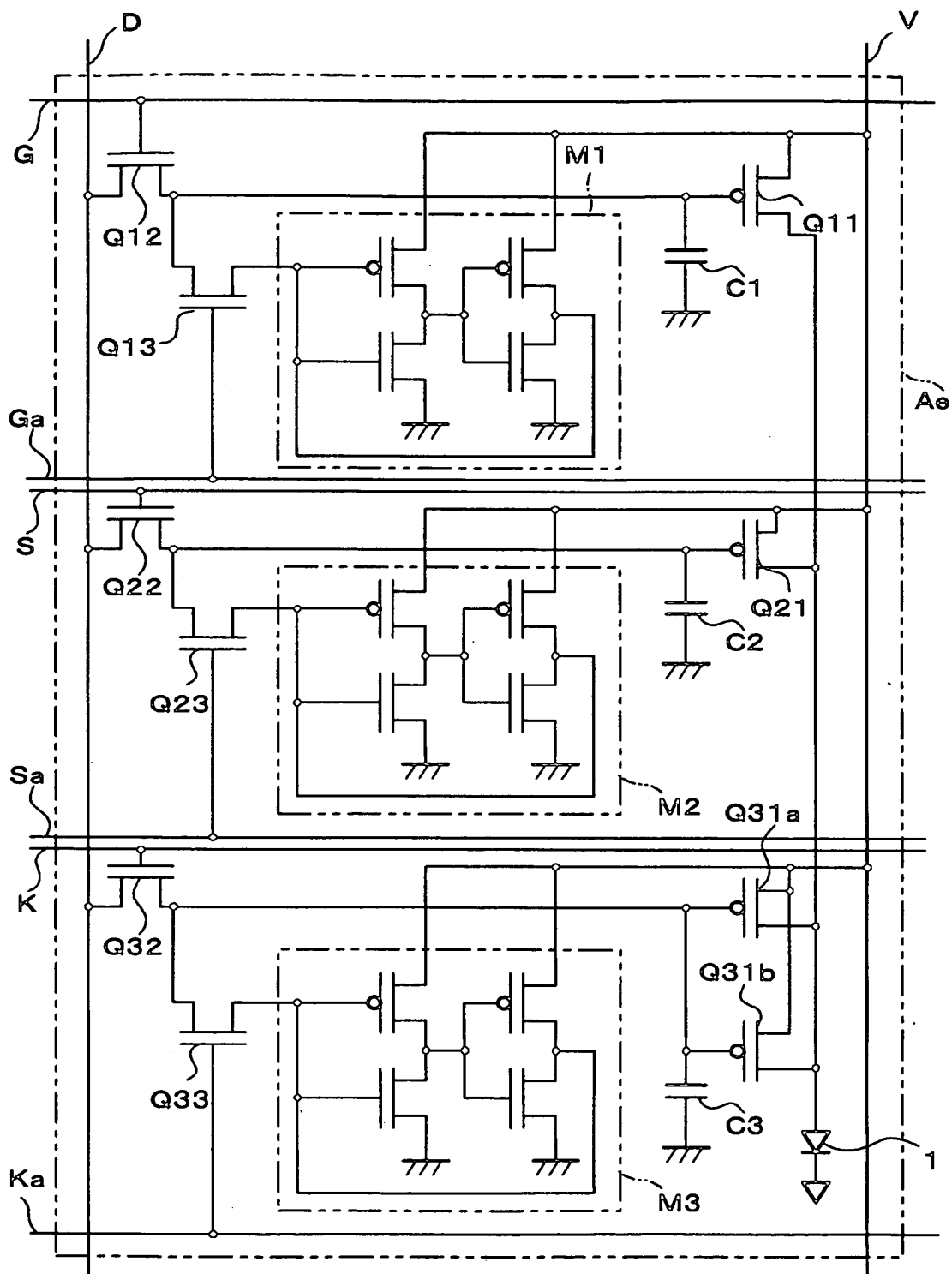
【図13】



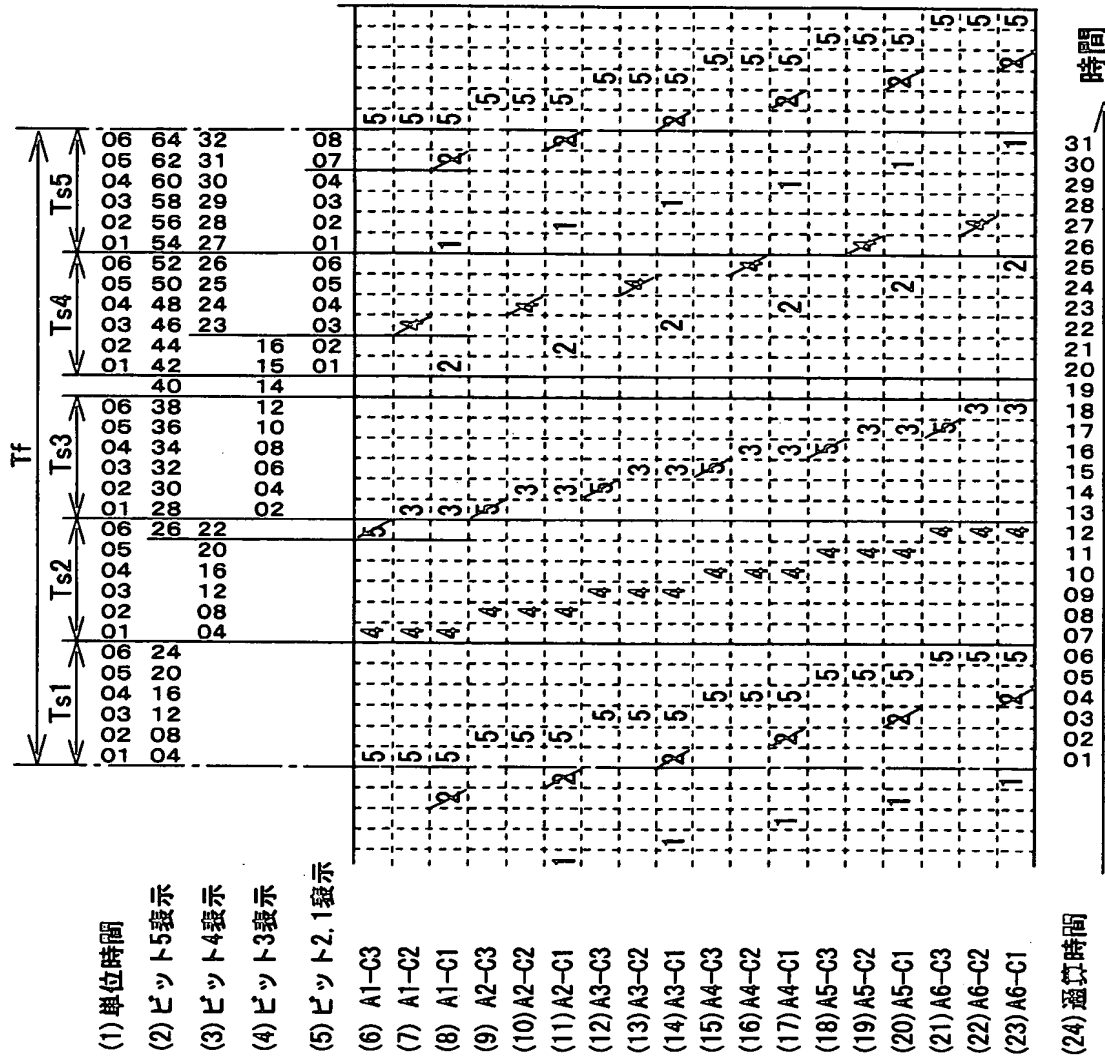
【図 14】



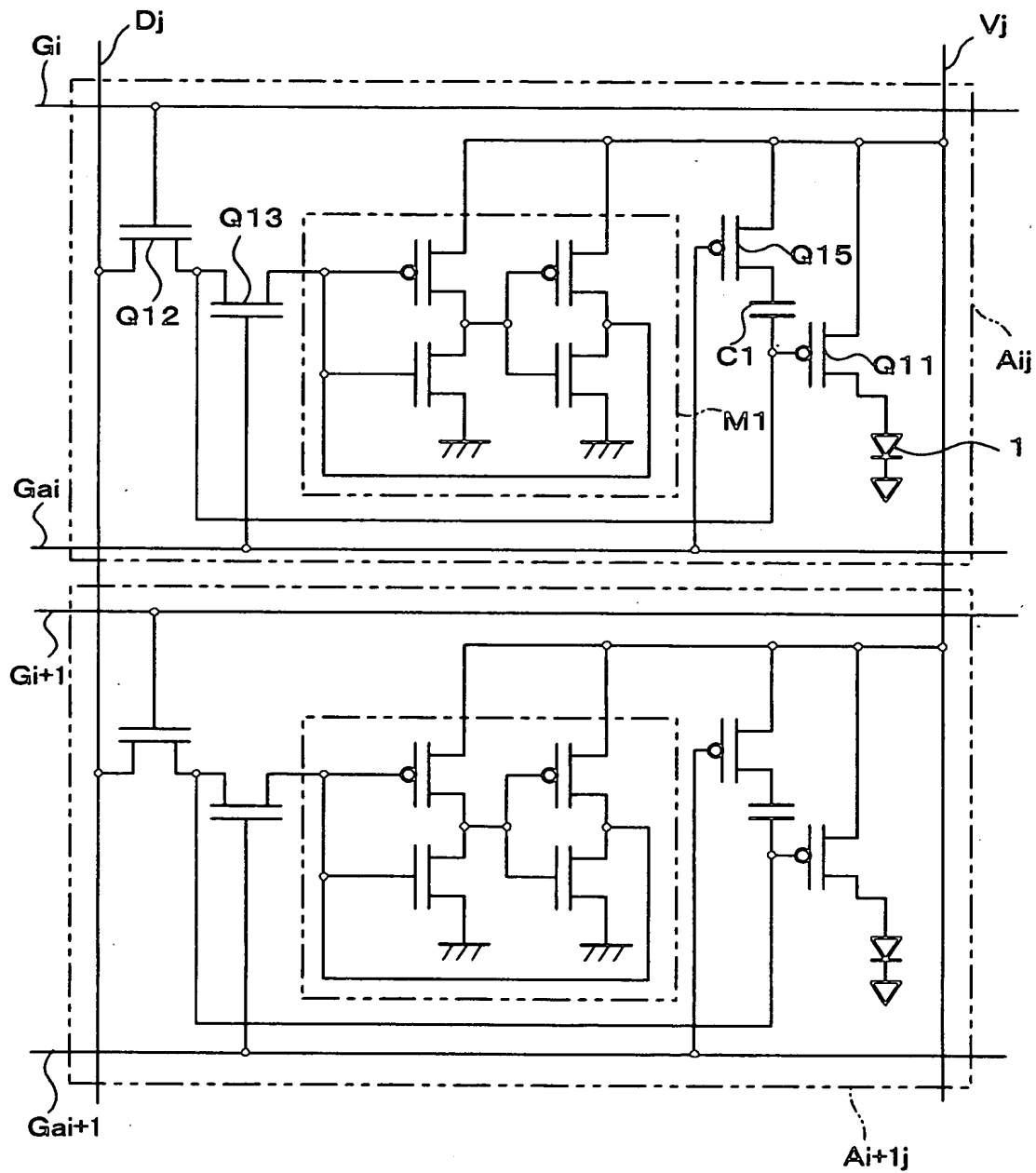
【図 15】



【図16】

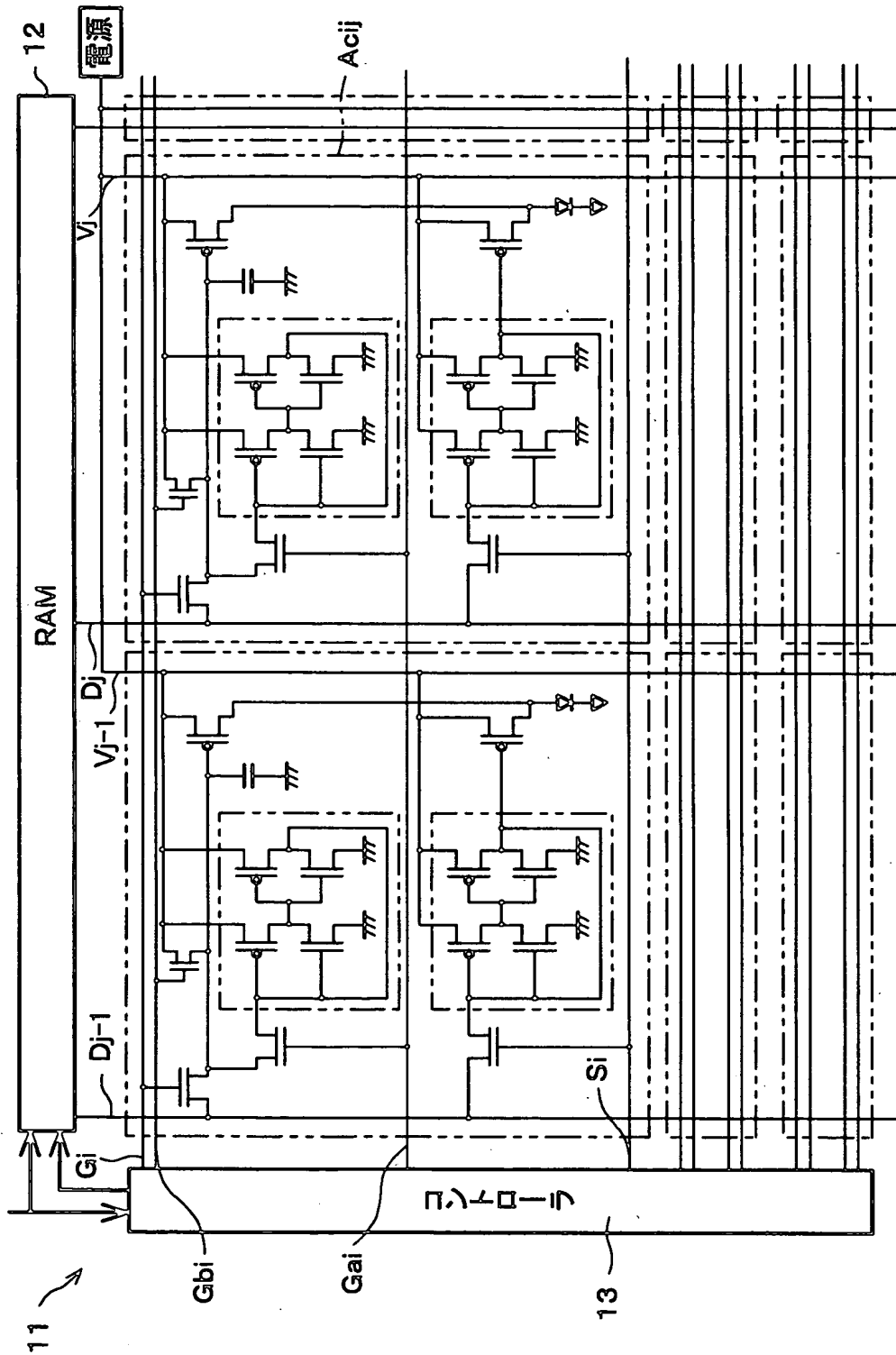


【図 17】

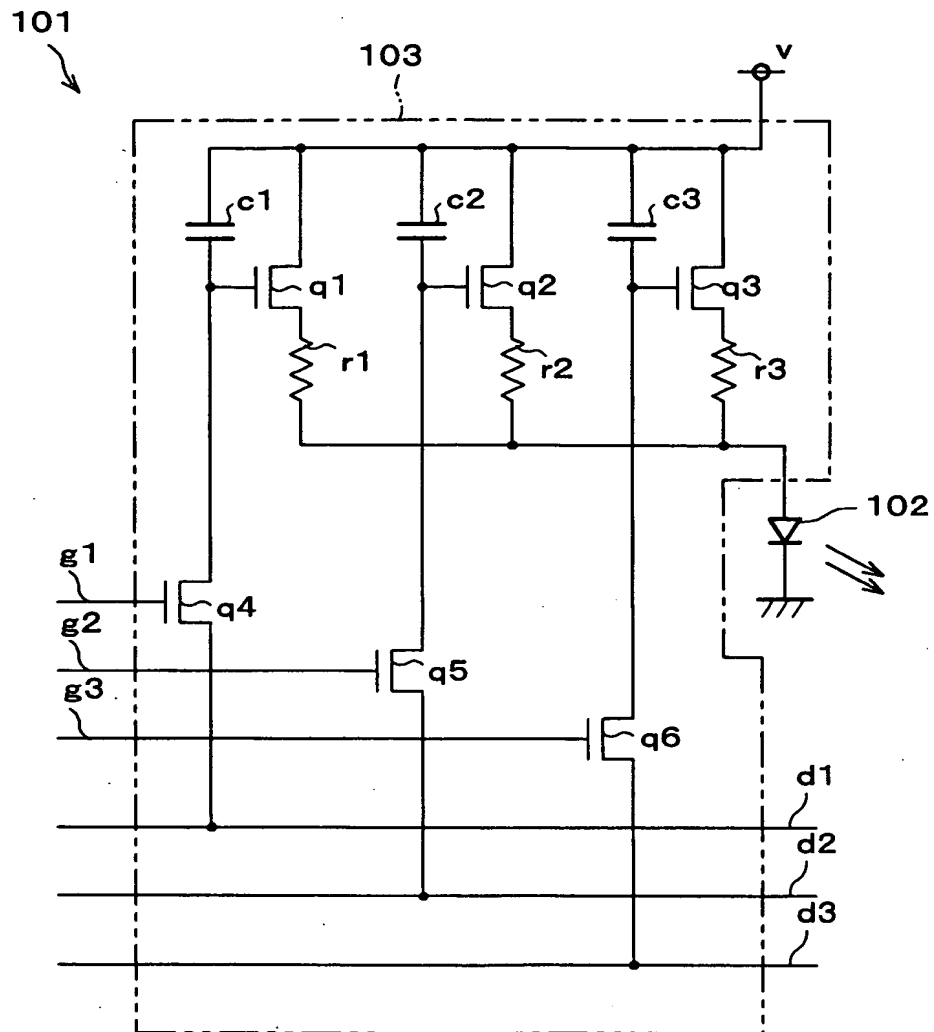


The diagram illustrates the timing relationships for a 16-bit bus system. It shows the relationship between Ts1, Ts2, Ts3, Ts4, Tf1, and Tf2 across 16 data lines (A1-A15) and a 16-bit bus. The 16-bit bus is divided into four 4-bit segments, each with its own Ts1, Ts2, Ts3, and Ts4. The 16-bit bus is also divided into four 4-bit segments, each with its own Ts1, Ts2, Ts3, and Ts4. The 16-bit bus is also divided into four 4-bit segments, each with its own Ts1, Ts2, Ts3, and Ts4. The 16-bit bus is also divided into four 4-bit segments, each with its own Ts1, Ts2, Ts3, and Ts4.

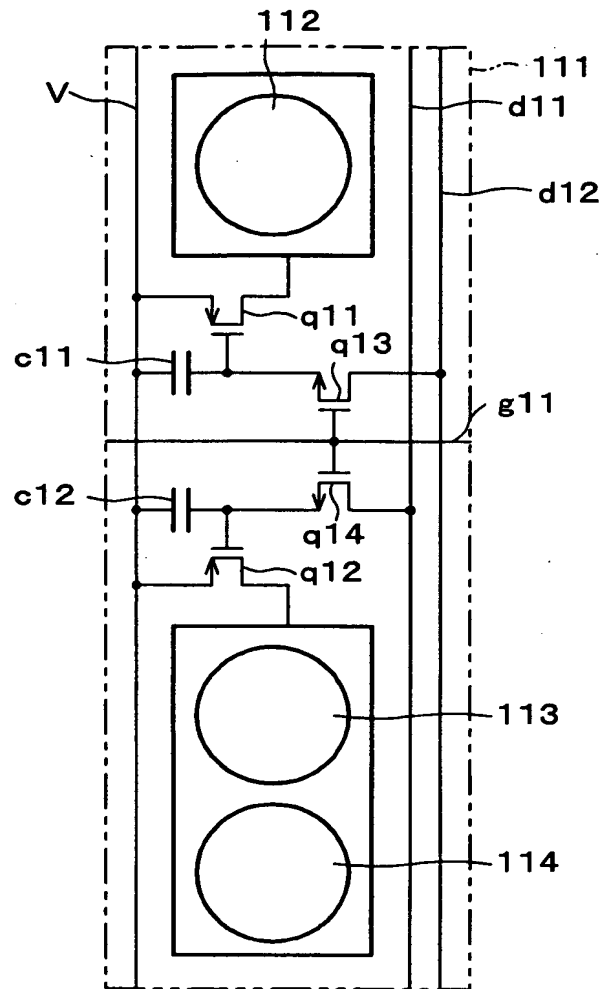
【図 19】



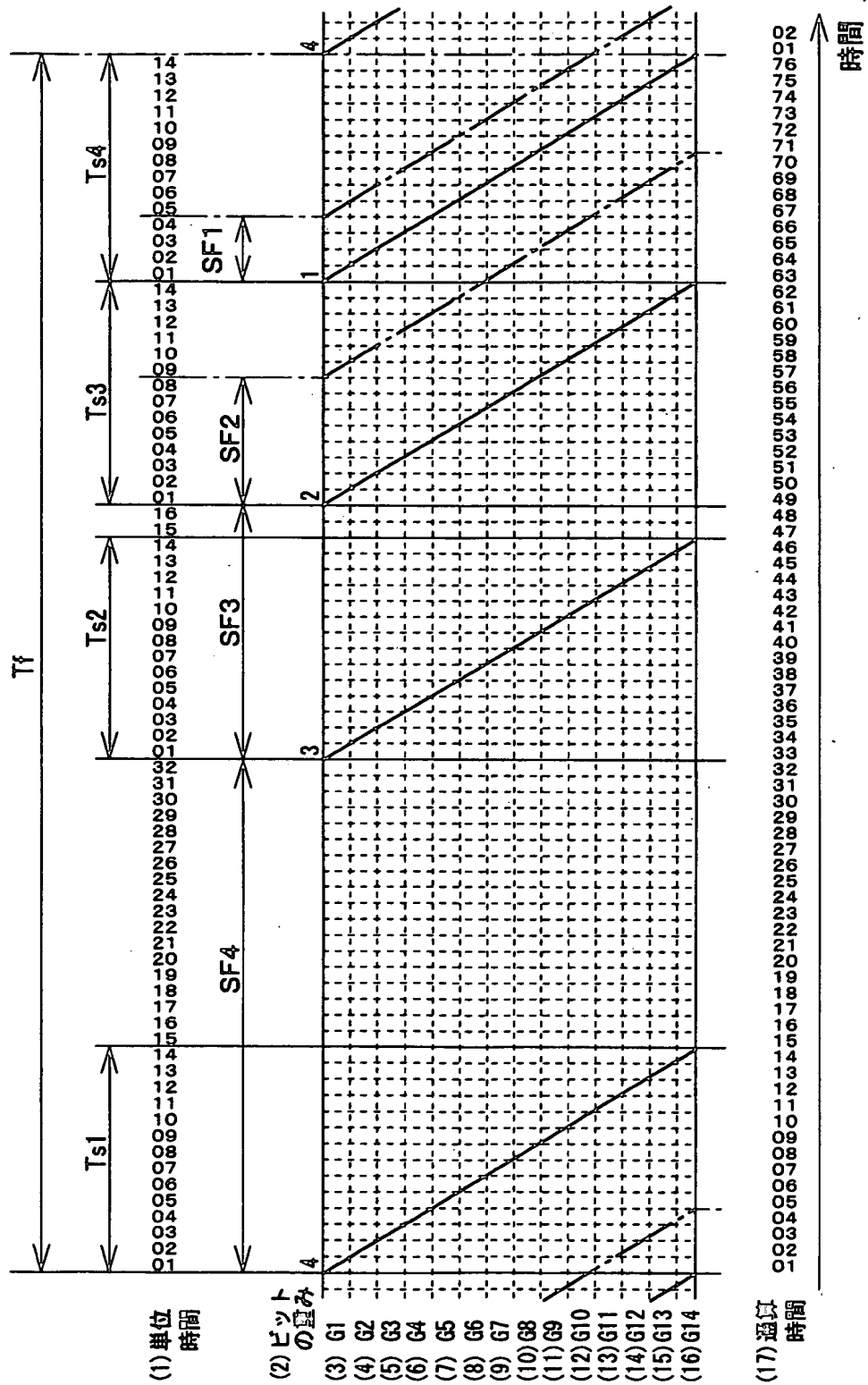
【図 2 0】



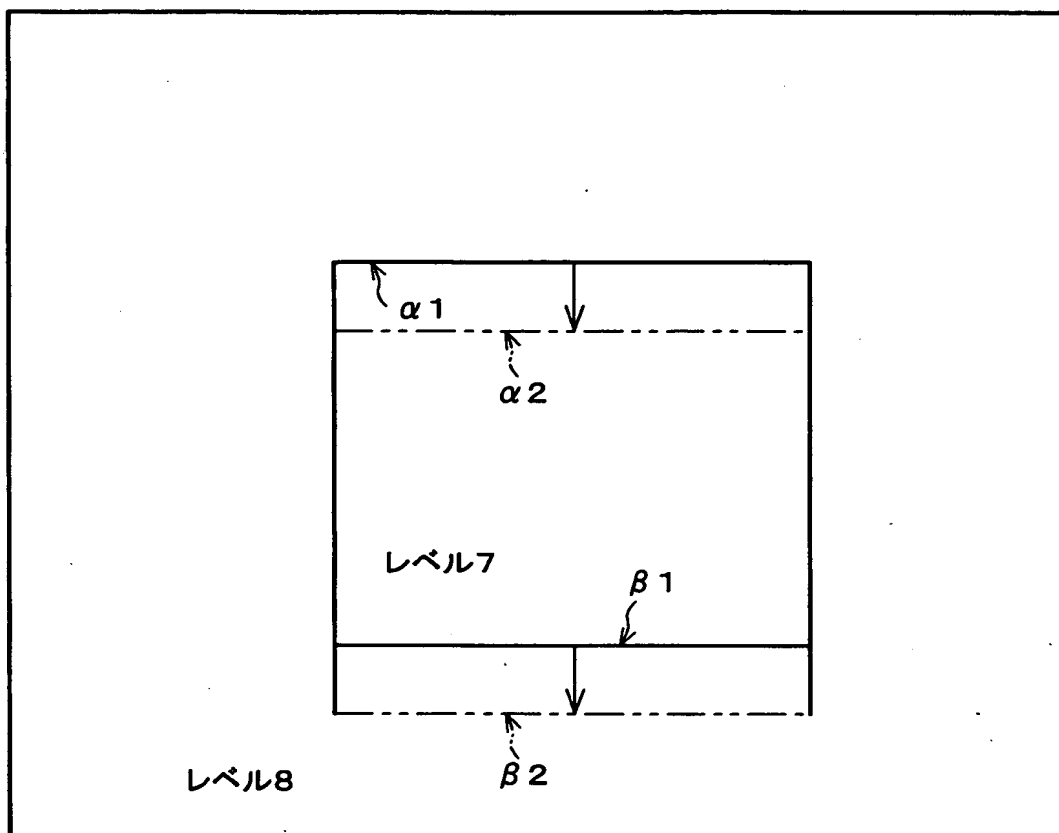
【図 2 1】



【図 23】



【図25】



出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社



Creation date: 09-09-2004
Indexing Officer: KRUCKER - KIMERLEE RUCKER
Team: OIPEBackFileIndexing
Dossier: 10034251

Legal Date: 02-21-2002

No.	Doccode	Number of pages
1	IDS	2
2	FOR	8
3	FOR	9
4	FOR	10

Total number of pages: 29

Remarks:

Order of re-scan issued on